

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

HAE SIK YANG, ET AL.

For: MICROELECTRODE, MICROELECTRODE  
ARRAY AND METHOD FOR  
MANUFACTURING THE MICROELECTRODE

1743

NO990201a

JC675 U.S. PTO  
10/020774  
12/11/01

Honorable Commissioner of  
Patents and Trademarks  
Washington, D.C. 20231

Request for Priority

Sir:

Applicant respectfully requests a convention priority for the above-captioned application, namely Korean application number 2001-56159 filed September 12, 2001.

☒ A certified copy of the document is being submitted herewith.

Respectfully submitted,

BLAKELY, SOKOLOFF, TAYLOR & ZAFMAN

Dated:

11/1/01

Eric S. Hyman, Reg. No. 30,139

12400 Wilshire Blvd., 7th Floor  
Los Angeles, California 90025  
Telephone: (310) 207-3800



대한민국 특허청  
KOREAN INTELLECTUAL  
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 특허출원 2001년 제 56159 호  
Application Number PATENT-2001-0056159

출원년월일 : 2001년 09월 12일  
Date of Application SEP 12, 2001

출원인 : 한국전자통신연구원  
Applicant(s) KOREA ELECTRONICS & TELECOMMUNICATIONS RESEARCH INST

2001 년 11 월 22 일

- 1 - 카 자

## 【서기사항】

【서류명】

특허출원서

【권리구분】

특허

【수신처】

특허청장

【제출일자】

2001.09.12

【발명의 명칭】

미소전극 , 미소전극 어레이 및 미소전극 제조 방법

【발명의 영문명칭】

Microelectrode, microelectrode array and a method for manufacturing the microelectrode

【출원인】

【명칭】

한국전자통신연구원

【출원인코드】

3-1998-007763-8

【대리인】

【성명】

신영무

【대리인코드】

9-1998-000265-6

【포괄위임등록번호】

2001-032061-5

【발명자】

【성명의 국문표기】

양해식

【성명의 영문표기】

YANG, Hae Sik

【주민등록번호】

690722-1574911

【우편번호】

302-777

【주소】

대전광역시 서구 둔산2동 샘머리아파트 206-903

【국적】

KR

【발명자】

【성명의 국문표기】

전치훈

【성명의 영문표기】

JUN, Chi Hoon

【주민등록번호】

590713-1690812

【우편번호】

305-345

【주소】

대전광역시 유성구 신성동 160-1 한울아파트  
103-404

【발명자】

【발명자】

【발명자】

【발명자】

【우편번호】	305-333
【주소】	대전광역시 유성구 어은동99 한빛아파트 102-1001
【국적】	KR
【발명자】	
【성명의 국문표기】	김윤태
【성명의 영문표기】	KIM, Youn Tae
【주민등록번호】	570415-1067426
【우편번호】	305-345
【주소】	대전광역시 유성구 신성동 한울아파트 110-106
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 신영무 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	43 면 43,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	18 항 685,000 원
【합계】	757,000 원
【감면사유】	정부출연연구기관
【감면후 수수료】	378,500 원
【첨부서류】	1. 요약서·명세서(도면)_1통

## 【요약서】

## 【요약】

본 발명은 용액에서 온도 조절이 가능한 미소전극, 미소전극 어레이 및 미소전극의 제조 방법에 관한 것으로, 단열을 위해 실리콘 기판에 형성된 밀봉공동과, 밀봉공동 위에 형성된 미소가열기와, 미소가열기에 의해 간접적으로 가열되는 전극을 포함하여 이루어지며, 미소가열기와 실리콘 기판 간의 절연 및 단열 특성이 우수하고, 전력 소모가 적으며, 가열 및 냉각 속도가 빠르고, 부식이 일어나지 않는 미소전극 및 미소전극 어레이를 CMOS 공정으로 제조한다.

## 【대표도】

도 101

## 【색인어】

미소전극, 미소전극 어레이, 밀봉공동, 미소가열기, 전극

【명세서】

【발명의 명칭】

미소전극, 미소전극 어레이 및 미소전극 제조 방법{Microelectrode, microelectrode array and a method for manufacturing the microelectrode}

【도면의 간단한 설명】

도 1a 및 도 1b는 본 발명에 따른 미소전극을 설명하기 위한 단면도.

도 2a는 밀봉공동보다 작은 크기의 전극을 가지는 미소전극의 평면도.

도 2b 내지 도 2d는 도 2a를 설명하기 위한 단면도.

도 3a는 미소가열기의 배선과 전극의 종류가 다른 미소전극의 평면도.

도 3b 및 도 3c는 도 3a를 설명하기 위한 단면도.

도 4a는 IDA 구조의 전극을 갖는 미소전극의 평면도.

도 4b는 도 4a를 설명하기 위한 단면도.

도 5a는 하나의 밀봉공동 위에 다수의 전극이 존재하는 미소전극의 평면도.

도 5b는 도 5a를 설명하기 위한 단면도.

도 6a는 밀봉공동보다 큰 크기의 원속전극을 가지는 미소전극의 평면도.

도 6b는 도 6a를 설명하기 위한 단면도.

도 7a는 본 발명에 따른 미소전극 어레이의 평면도.

도 8a는 각 미소가열기의 두 개의 배선이 각각 독립적으로 패드에 연결된 구조를 갖는 본 발명에 따른 미소전극 어레이의 평면도.

도 8b는 도 8a를 설명하기 위한 단면도.

도 9a는 미소가열기의 각 배선이 하나의 패드에 연결된 구조를 갖는 본 발명에 따른 미소전극 어레이의 평면도.

도 9b는 두 개의 패드에 모든 미소가열기의 배선이 연결된 구조를 갖는 미소전극 어레이의 평면도.

도 10a 내지 도 10f는 본 발명에 따른 미소전극의 제조 방법을 설명하기 위한 단면도.

도 11은 도 3a 및 도 3b의 구조를 갖는 미소전극 어레이의 평면을 촬영한 전자현미경 사진.

도 12는 도 3a 및 도 3b의 구조를 갖는 미소전극의 단면을 촬영한 전자현미경 사진.

도 13a는 밀봉공동을 갖는 미소전극의 미소가열기의 전력에 따른 전극의 온도 변화를 도시한 그래프도.

도 13b는 밀봉공동이 없는 미소전극의 경우 미소가열기에 인가된 전력에 따른 전극의 온도 변화를 도시한 그래프도.

도 14는 가열 및 냉각 시간에 따른 미소전극의 온도 변화를 도시한 그래프도.

도 15는 가열 및 냉각 시 이웃하는 미소전극의 온도 변화를 도시한 그래프  
도.

<도면의 주요 부분에 대한 부호의 설명>

- 101, 201, 301, 401, 501, 601, 701, 801, 1001 : 실리콘 기판
- 102, 202, 302, 402, 502, 602, 702, 802 : 지지막
- 103, 203, 303, 403, 503, 603, 703, 803, 901, 905 : 밀봉공동
- 104, 204, 304, 404, 504, 604, 704, 804 : 밀봉막
- 105, 205, 305, 405, 505, 605, 705, 805 : 미소가열기
- 106, 206, 306, 406, 506, 606, 706, 806 : 절연막
- 107, 207, 307, 407, 507, 607, 707, 807, 902, 906 : 전극
- 108, 208, 308, 408, 508, 608, 708, 808 : 보호막
- 109, 316, 613, 709 : 금속전극
- 209, 309, 409, 509, 609 : 식각 구멍
- 210, 310, 410, 510, 610 : 접속 구멍
- 211, 215, 311, 411, 511, 611, 710, 809, 903, 907 : 배선
- 212, 312, 313, 412, 512, 612, 711, 810, 904, 908 : 패드
- 1002 : 열산화 방지막 1003 : 식각 방지막



1008 : 실리콘 산화막 1009 : 희생층

1010 : 지지막 1011 : 식각 구멍

1012 : 공동 1013 : 밀봉막

1014 : 밀봉공동 1015 : 미소가열기

1016 : 접촉 구멍 1017 : 절연막

1018 : 배선 1019 : 전극

1020 : 보호막 1021 : 패드

1022 : 금속전극

**【발명의 상세한 설명】**

**【발명의 목적】**

**【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<50> 본 발명은 용액(solution)에서 온도 조절이 가능한 미소전극 및 미소전극 어레이에 관한 것으로, 특히, 미소가열기와 기판 사이의 단열이 우수하고, 전력 소모가 적으며, 가열 및 냉각 속도가 빠른 미소전극 및 미소전극 어레이를 반도체 제조 공정으로 제작할 수 있도록 한 미소전극 및 미소전극 어레이에 관한 것이다.

본 발명을 첨부된 도면을 참조하여 설명하면 다음과 같다. 본 발명은 반도체 제조 공정에

(electrochemical sensor)의 측정 전극으로 이용될 뿐만 아니라, 위치 선택적으로(site-selectively) 미세 패턴(micro pattern)을 얻거나, 전극의 전위를 조절하여 생체분자(biomolecule)의 상호작용(interaction) 및 이동(movement)을 제어하는 데 사용된다.

<52> 그러면 미소전극이 전기화학적 측정, 미세 패턴, 생체 분자의 제어에 응용되는 구체적인 예를 살펴보기로 한다.

<53> 개인의 건강과 환경에 대한 관심이 증가되면서 짧은 시간에 정밀하고 다양한 정보를 얻을 수 있는 소형 센서의 개발이 필요해진다. 특히, 센서의 소형화를 위해 미소전극과 전기화학적 측정 방식을 이용한 센서의 개발이 요구된다. 미소전극을 이용한 전기화학적 센서로는 효소(enzyme)를 이용하는 전기화학적 바이오센서(electrochemical biosensor)와 전위차(potential difference)를 측정하여 pH 혹은 이온의 농도 등을 측정하는 전위차 센서(potentiometric sensor) 등을 들 수 있다. 최근에는 미소전극을 이용한 전기화학적 DNA 센서와 전기화학적 면역센서(immunosensor) 등의 제작도 이루어지고 있다.

4) 최근에 여러 개의 미소전극이 존재하는 미소전극 어레이는 동시에 다수의 작업을 한꺼번에 수행할 수 있는 전기화학적 DNA 칩(electrochemical DNA chip), 전기화학적 단백질 칩(electrochemical protein chip), 전자 혀(electronic tongue) 등에 응용된다.

(bonding)하거나 집적화(integration)할 경우 하나의 칩 안에서 분리(separation), 반응(reaction), 측정(detection) 등을 수행할 수 있는 lab-on-a-chip도 구성할 수 있게 된다.

<56> 일반적인 미세패턴은 증착(deposition), 사진(photolithography), 식각(etching) 등의 반도체 제조 공정을 통해 제작되거나, 전기 증착(electrodeposition) 방법으로 제작된다. 전기 증착 방법을 이용할 경우 구리 같은 금속뿐만 아니라 전도성 고분자(conducting polymer), 전기 전도도를 가지는 산화 금속(metal oxide)까지도 위치 선택적으로 증착할 수 있다. 미소전극 위에 전기 증착할 경우 원하는 금속, 고분자, 산화 금속의 미세 패턴을 쉽게 얻을 수 있게 된다.

<57> 최근에는 전압을 조절하여 전극에 생체분자를 위치 선택적으로 고정하기 위한 노력이 많이 시도되고 있다 (Cosnier, Serge, 'Biomolecule immobilization on electrode surfaces by entrapment or attachment to electrochemically polymerized films. A review' *Biosensors & Bioelectronics* 14: pp. 443-456 (1999)). 생체분자를 단분자에 결합시킨 후 전기 증착을 통해 미소전극에 위치 선택적으로 생체분자가 담겨 있는 고분자를 입히거나, 단분자(monomer)와 생체분자가 들어 있는 용액에서 전기 증착에 의해 미소전극에 위치 선택적으로 고분자를 형성하여 고분자막 내부에 생체 분자를 고정하는 방법 등이 사용되고 있다.

극 표면에 고정된다. 결국 전위 조절에 의해 DNA(cDNA나 oligonucleotide)가 전극에 위치 선택적으로 고정된다.

<58> 또한, 전기화학적으로 전극 주위의 pH를 변화시켜 생체분자를 위치 선택적으로 고정하는 방법도 개발되었는데, Combimatrix사는 이러한 개념을 이용하여 미소전극에 위치 선택적으로 oligonucleotide를 합성하는 방법을 제시하였다 (미국특허공보 6,090,302호).

<59> DNA나 단백질 같은 생체분자들은 다수의 전하를 띠고 있으므로 전위 조절을 통해 DNA나 단백질의 이동과 상호작용을 제어할 수 있다. Nanogen사에서는 single-strand DNA가 고정된 미소전극에 양(+) 전위를 인가하여 DNA와 상보적인 single-strand DNA가 짧은 시간에 hybridization되게 하였다 (미국특허공보 5,849,486호). 그리고 미소전극에 음(-) 전위를 인가하여 두 개의 single-strand DNA의 염기가 완전히 상보적이지 않는 DNA는 dehybridization되게 하였다 (미국특허공보 6,017,690).

<60> 이상에서 설명한 바와 같이 미소전극의 전위 조절에 의해 생체분자의 전기화학적 수정, 생체분자의 미세 패턴 형성, 생체분자의 제어 등을 할 수 있다. 그러나 더 나은 성능을 갖는 전극을 제조하기 위해서는 전극의 전위 조절 이외에 전극의 온도 조절이 필요하다. 전극의 온도 조절이 가능한 전극에 대한 연구는 Grudler 그룹에 의해 주로 진행되어 왔다 (Grudler, Peter, et al., "The



수 있다. 이때, 빠르고 정확한 증폭을 위해서는 정확한 온도 조절과 빠른 가열 및 냉각이 필수적이다.

<63> 전극 표면에 생체분자가 고정되어 있을 때 전극의 온도 조절이 가능하다면 효과적으로 생체분자를 제어할 수 있게 된다. 산화환원 반응과 미세패턴 형성도 전극 표면의 온도에 크게 영향을 받는다. 따라서, 이러한 제어를 위해서는 용액을 전체적으로 가열해 줄 필요는 없고, 전극 표면만 가열해 주면 된다. 그리고 빠른 가열 및 냉각을 위해서는 전극 표면 혹은 전극 주위만을 가열하는 것이 효과적이다. 전극만을 가열해 준다고 하더라도 용액의 부피가 아주 적다면 미소전극의 가열만으로도 용액의 온도 조절이 가능할 수 있다.

<64> 온도 조절이 가능한 전극을 갖는 센서의 경우 온도를 조절하는 데 전력(power)이 많이 소모된다면 전극 및 측정 회로의 부피는 작을지라도 큰 배터리나 큰 전력공급원(power source)을 필요로 하게 된다. 결국, 소형 측정 시스템의 전체 크기는 배터리나 전력공급원의 크기에 좌우된다. 따라서, 소형 센서를 제작하기 위해서는 전력 소모가 적고 온도 조절이 가능한 전극이 사용되어야 한다.

<65> 반도체 제조 공정을 이용하면 미소전극의 크기를 매우 작게 감소시킬 수 있으므로 전극 표면의 온도를 증가시키는데 필요한 전력은 적지 않다. 비열(heat capacity)이 큰 용액에서도 전극의 크기가 작으면 빠른 시간에 전극 표면이 가열될 수 있다. 그리고 열에 의해 생긴 용액의 대류층(convection layer)도 작아지

<66> 이 상에서 설명한 바와 같이 전극의 온도 조절은 전기화학적 측정, 생체분자의 제어에 응용될 수 있으며, 이를 위해서는 무엇보다도 정확한 온도 조절과 가열 및 냉각 속도가 빠른 미소전극의 사용이 요구된다. 그러면 전극의 온도를 조절하기 위한 종래의 기술을 살펴보면 다음과 같다.

<67> 전극의 온도를 조절하는 데 가장 많이 이용되는 방법은 용액을 전체적으로 가열 혹은 냉각하여 전극의 온도를 높이거나 낮추는 방법이다. 그러나 이 방법은 용액을 전체적으로 가열하기 때문에 온도를 올리거나 내리는 데 시간이 많이 소요되며, 용액의 온도를 전체적으로 일정하게 유지하기 어려운 단점을 갖는다.

<68> 복사(radiation)에 의해 전극이 가열되도록 하는 방법도 있다. 전극의 앞면 혹은 뒷면에 레이저를 쏘아 순간적으로 전극을 가열하는 방법이 하나의 예이다. 이 방법은 전극을 순간적으로 가열한 후 시간에 따른 변화를 보는 데 많이 사용된다. 전극의 온도를 일정하게 유지하기 어렵고, 레이저를 사용해야 하기 때문에 장치가 비싸고 부피가 크다는 문제점이 있다. 텅스텐 램프에서 발생한 빛으로 전극을 가열하는 방법도 있지만, 이 역시 효과적인 온도 조절을 이루기 어렵다.

<69> 최근에 주열가열(Joule heating)에 의해 전극이 직접 가열되도록 하는 방법도 사용된다 (Grundler, Peter, et al., 'The technology of hot-wire electrochemistry', *Electroanalysis* 11: pp. 223-228 (1999)). 전극에 100kHz 정도의 고주파 교류 전류를 인가하여 전극을 가열하는 방법이다. 그러나 전극

제조하는 경우 전극을 외부 회로와 연결시키는 배선의 저항이 전극의 저항보다 클 수 있기 때문에 전력의 대부분이 전극보다는 배선에서 소모될 가능성이 크다. 따라서, 미소전극의 제조에는 이 방법을 사용할 수 없다.

<70> 금속전극에 와전류(eddy current)를 유도하여 가열하는 방식으로 고주파(RF:Radio Frequency) 복사에 의한 가열도 보고되고 있으나, 이 역시 전력의 소모가 심하고 소형화하기 어렵다는 문제점이 있다 (Qiu, Fulian, et al. 'Thermal activation of electrochemical processes in a Rf heated channel flow cell: experiment and finite element simulation', Journal of Electroanalytical Chemistry 491: pp. 150-155 (2000)).

<71> 미소가열기(microheater)에 의해 전극이 간접적으로 가열되도록 하는 방법도 사용되고 있다. 미소가열기에서 주열가열(Joule heating)에 의해 생긴 열이 매질을 통해 전극에 전달되어 전극이 가열되도록 하는 방식이다. 주열가열을 위해서는 미소가열기에 전압 혹은 전류를 인가해야 하므로, 미소가열기는 전극으로부터 전기적으로 절연되어 있어야 한다. 그리고 주열가열에 의해 생긴 열이 전극으로 효과적으로 전달되도록 하기 위해서는 미소가열기 주위에 열전도가 높은 물질이 없어야 한다. 반도체 제조 공정을 이용하여 소자를 제작할 때 열전도가 매우 큰 실리콘 기판을 주로 이용하게 된다. 실리콘 기판 위에 미소가열기가 존재할 경우 미소가열기에서 생긴 열의 상당량이 전극으로 전달되지 않고 실리콘 기



<72>      상기와 같이 전극의 온도를 조절하는 방법 중에서 미소가열기를 이용하여 미소전극을 간접적으로 가열하는 것이 전력 소모면이나 센서로의 응용성면에서 훨씬 효과적이다. 미소가열기의 열손실을 줄이기 위한 식각 피트나 공동의 형성은 미세가공(micromachining) 기술에 의해 실현될 수 있다. 미세가공 기술은 실리콘 기판의 상,하부면을 가공하는 몸체 미세가공 기술(bulk micromachining)과 기판 상부에 박막을 석층 및 식각하여 가공하는 표면 미세가공 기술(surface micromachining)로 분류할 수 있다.

<73>      몸체 미세가공 기술은 상부 혹은 하부면의 정의된 영역으로부터 식각하여 미소가열기 주위의 실리콘을 제거하는 방법이다. 이러한 방법으로 기판 상에 식각 피트(etched pit)나 공동(cavity)을 형성하여 기판으로부터 분리된 브리지(bridge), 캔틸레버(cantilever), 멤브레인(membrane) 등의 구조를 만든 후 이 구조 위에 미소가열기를 형성함으로써 전열 손실을 크게 줄일 수 있다. 이 경우 쉽게 제작이 가능하지만, 식각 피트(etched pit)나 공동에 존재하는 공기를 근본적으로 제거할 수 없기 때문에 전열 손실을 감소시키는 데는 한계가 있다. 그리고 표준 CMOS 공정으로 제작이 불가능하다는 단점이 있다.

<74>      표면 미세가공 기술은 상부면에 형성된 희생층을 식각하여 미세 공동을 형성하고, 공동 위에 미소가열기가 존재하게 하는 방법이다. 표준 CMOS 공정으로 제작이 가능하고, 쉽게 미소 공동 어레이를 만들 수 있다는 장점이 있다. 하지만

- <75> 공동을 가지는 미소전극을 용액에서 사용할 때 공동으로 용액이 들어감으로 인해 미소가열기의 전열 손실이 커지는 문제점이 있다. 따라서, 용액에서 사용될 미소전극의 공동은 밀봉되어 있어야 한다. 이 공동이 진공 하에서 밀봉될 경우 미소가열기의 전열 손실이 매우 작게 된다.
- <76> 표면 미세가공 기술을 이용하여 실리콘 기판 위에 공동을 갖는 구조를 제작하는 방법에 있어서, 논문 및 특허로써 개시된 기존 기술 현황을 살펴보면 다음과 같다.
- <77> 먼저, 미국특허공보 제6,023,091호는 실리콘 기판 위에 공동과 미소가열기를 형성한 구조로써, 실리콘 기판은 식각하지 않고 희생층을 증착 및 식각하여 공동을 형성하고 있다. 제조 공정이 간단하지만 공동의 깊이를 크게 할 수 없어 효과적인 단열을 얻을 수 없다는 단점이 있다.
- <78> 미국특허공보 제5,948,361호는 미소가열기가 형성된 기판(A)을 공동이 형성된 기판(B)과 접합한 후 미소가열기는 남겨 두고 기판(A)을 제거한다. 이 방법은 두 기판을 정렬 접합하기 어려운 문제점을 갖는다.
- <79> 미국특허공보 제5,907,765호는 실리콘 기판 위에 절연막을 형성하는 단계; 공동으로 사용할 부분의 실리콘 기판을 식각하는 단계; 희생층을 채워 넣는 단계; 가열기 막을 형성하는 단계; 식각 채널을 통해 희생층을 식각하는 단계; 식각 채널을 밀봉하는 단계로 이루어진다. 실리콘 기판을 식각한 후 희생층을 채워 넣

<80> 미국특허공보 제5,296,408호는 실리콘 기판을 식각하는 단계; 알루미늄을 채워 넣는 단계; 실리콘 산화막( $\text{SiO}_2$ )을 증착하는 단계; 열에 의해 알루미늄 확산이 일어나 알루미늄이 있던 자리에 밀봉공동이 생기게 하는 단계로 이루어진다.

<81> 논문(Liu, Chang et al., 'Sealing of micromachined cavities using chemical vapor deposition methods: characterization and optimization' 8: pp. 135-145 (1999))에는 실리콘 질화막( $\text{Si}_3\text{N}_4$ )을 실리콘 표면에 정의하는 단계; 실리콘이 노출된 부분의 표면을 열산화시켜 열산화막(thermal oxide) 희생층을 형성하는 단계; 식각 통로로 이용될 희생층을 형성하는 단계; 실리콘 질화막으로 지지막을 형성하는 단계; 식각 구멍을 형성한 뒤 희생층을 식각하여 공동을 형성하는 단계; 식각 구멍을 진공 하에서 밀봉하는 단계로 이루어진다. 진공 밀봉공동이기 때문에 밀봉공동 위에 미소가열기가 존재할 경우 좋은 단열 특성을 얻을 수 있다. 그러나 밀봉공동의 깊이를 1 내지 2mm 이내로 만들 수밖에 없기 때문에 단열 특성을 좋게 하는 데 한계가 있다.

<82> 이상의 특허 및 논문에서 보듯이 효과적인 밀봉공동의 형성에 대한 연구는 많이 진행되어 왔으나, 단열 특성을 향상시키기 위해서는 많은 개선의 여지가 남아 있다. 특히, 밀봉공동의 깊이를 얕게 하여 단열 특성이 아주 우수해 질 수 있는 밀봉공동의 개발이 요구된다.

<84> 미소가열기에 전압 혹은 전류를 인가하여 생긴 열로 전극을 가열하고 전극에 흐르는 산화환원 전류를 측정할 경우, 미소가열기의 전압 혹은 전류가 전극의 전류에 영향을 미칠 수 있다. 예를 들어, 미소가열기와 전극에 각각 인가된 전압의 차가 1V이고, 미소가열기와 전극 사이의 절연막의 저항이  $1G\Omega$ 이면, 미소가열기와 전극 사이에는 1nA의 전류가 흐르게 된다. 이 만큼의 전류는 미소전극에서의 산화환원 전류에 영향을 미칠 수 있으므로, 절연막의 절연 특성이 매우 좋아야 한다. 특히, 전극의 온도를 증가시키기 위해 미소가열기에 높은 전압을 인가할 때는 절연막의 절연 특성이 더욱 더 중요시된다.

<85> 용액에서 온도를 조절할 수 있는 미소전극에 있어서 또 하나 문제가 될 수 있는 것이 배선의 부식이다. 미소전극이 담겨질 용액은 이온(특히 염소 이온) 농도가 큰 경우가 많은데, 일반적으로 반도체 제조 공정에서 배선으로 사용되는 알루미늄은 이러한 용액에서 쉽게 부식된다. 금속 배선 위에 보호막을 형성하면 부식을 크게 줄일 수는 있지만, 보호막 내부에 편홀이 많이 존재하는 경우 편홀을 통한 금속 배선의 부식이 일어나기 쉽다. 금속 배선이 형성된 상태에서 실리콘 산화막 혹은 실리콘 질화막으로 이루어진 보호막을 낮은 온도에서 플라즈마 화학 기상증착(PECVD: low pressure chemical vapor deposition)법으로 형성되기 때문에 막의 내부에 편홀(pinhole)이 많이 존재하게 된다.

<86> 미소가열기를 가열하기 위해서는 전압 혹은 전류를 인가하는데, 직렬에 결

을 미소가열기의 저항에 비해 아주 작게 만들어야 한다. 미소전극 어레이를 만들 경우 필요한 배선의 수가 증가하고 배선이 차지하는 면적이 증가하기 때문에 배선의 선폭을 줄일 필요가 있다. 선폭을 줄이면 배선의 저항이 증가하기 때문에 배선의 저항을 낮게 하기 위해서는 비저항이 작은 금속을 사용해야 한다. 일반적으로 배선으로 많이 사용되는 알루미늄은 비저항이 크고 싼 가격으로 두꺼운 박막을 증착할 수 있으며 쉽게 미세 패턴을 얻을 수 있지만 용액에서 쉽게 부식되는 단점을 갖는다. CMOS 공정에서 배선으로 사용할 수 있는 또 하나의 금속은 백금인데, 백금은 비저항이 상대적으로 크기 때문에 저항을 줄이기 위해서는 백금 박막을 매우 두껍게 형성해야 한다. 이 경우 비용이 많이 들고 건식 혹은 습식 식각으로 미세 패턴을 형성하기 어렵다. 따라서, 백금을 미소가열기의 배선으로 사용하는 데는 한계가 있다. 금의 경우는 비저항이 작지만, 증착 후 표준 CMOS 공정을 수행할 수 없기 때문에 배선으로 사용하기가 어렵다. 비저항이 작은 은, 구리 등의 금속들도 일반적인 반도체 제조 공정에서 이용하기가 쉽지 않다.

<87> 상술한 바와 같이 생체분자의 전기화학적 측정, 생체분자의 미세패턴 형성, 생체분자의 제어 등에 미소전극을 응용하기 위해서는 용액에서 온도 조절이 가능한 미소전극의 제작이 요구된다.

【발명의 이유요약 하는 기술적 과제】

<89>        상기한 목적을 달성하기 위한 본 발명의 미소전극은 상부에 소정 깊이의 트렌치가 형성된 기판과; 트렌치에 공동이 형성되도록 기판 상에 형성된 지지막과, 공동이 밀봉되도록 지지막 상에 형성된 밀봉막과; 밀봉막 상에 형성되며 열을 발산할 수 있는 저항체로 이루어진 미소가열기와; 미소가열기를 포함하는 전체 구조 상부에 형성된 절연막과; 절연막 상에 형성되며 접촉 구멍을 통해 미소가열기와 연결된 다수의 배선과, 절연막 상에 형성되며 미소가열기에 의해 간접적으로 가열되는 전극과; 전극 및 배선을 포함하는 전체 구조 상부에 형성되며 전극 및 배선의 일부분이 노출되도록 패터닝된 보호막을 포함하여 이루어진 것을 특징으로 한다.

<90>        본 발명의 미소전극 어레이는 상부에 소정 깊이의 트렌치가 형성된 기판과; 트렌치에 공동이 형성되도록 기판 상에 형성된 지지막과, 공동이 밀봉되도록 지지막 상에 형성된 밀봉막과; 밀봉막 상에 형성되며 열을 발산할 수 있는 저항체로 이루어진 미소가열기와; 미소가열기를 포함하는 전체 구조 상부에 형성된 절연막과; 절연막 상에 형성되며 접촉 구멍을 통해 미소가열기와 연결된 다수의 배선과, 절연막 상에 형성되며 미소가열기에 의해 간접적으로 가열되는 전극과; 전극 및 배선을 포함하는 전체 구조 상부에 형성되며 전극 및 배선의 일부분이 노출되도록 패터닝된 보호막을 포함하여 이루어진 다수의 미소전극이 어레이 형태로 배열되며, 각각의 미소가열기에 연결된 배선이 인접하는 미소가열기의 배선

- <91>      상기 지지막은 다결정 실리콘 및 실리콘 질화막 중 어느 하나로 이루어지며, 상기 밀봉막, 절연막 및 보호막은 실리콘 산화막 및 실리콘 질화막 중 어느 하나로 이루어진 것을 특징으로 한다.
- <92>      상기 절연막은 LPCVD 실리콘 산화막, LPCVD 실리콘 질화막, LPCVD 실리콘 산화막이 적층되어 이루어지며, 상기 보호막은 PECVD 실리콘 산화막, PECVD 실리콘 질화막, PECVD 실리콘 산화막이 적층되어 이루어진 것을 특징으로 한다.
- <93>      상기 미소가열기는 백금 및 도핑된 다결정 실리콘 중 어느 하나로 이루어지며, 상기 공동의 내부는 진공으로 유지되고, 상기 전극은 백금 및 백금을 포함하는 물질 중 어느 하나로 형성되고, 상기 전극은 IDA 구조로 형성되는 것을 특징으로 한다.
- <94>      상기 전극의 상부에 금속전극이 형성되며, 상기 금속전극은 IDA 구조로 형성되고, 상기 금속전극의 넓이는 공동의 넓이보다 큰 것을 특징으로 한다.
- <95>      상기 각 미소전극이 가지는 전극의 수는 하나 이상이며, 다수의 전극 상부에 하나의 금속전극이 형성된 것을 특징으로 한다.
- <96>      상기 보호막은 전극이 공동의 넓이보다 작게 노출되도록 패터닝되며, 상기 배선은 알루미늄 및 알루미늄을 포함하는 물질 중 어느 하나로 형성되는 것을 특징으로 한다.
- <97>      또한, 본 발명의 미소전극 제조 방법을 실리콘 기판 상에 열산화 방지막을

에 제 1 희생층이 형성되도록 열산화 공정을 진행하는 단계; 열산화 방지막을 제거한 후 제 1 희생층을 포함하는 실리콘 기판 상에 제 2 희생층을 형성하는 단계; 전체 상부면에 지지막을 형성한 후 패터닝하여 제 2 희생층의 양측부가 노출되도록 식각 구멍을 형성하는 단계; 식각 구멍을 통해 제 1 및 제 2 희생층을 제거하여 실리콘 기판에 공동이 형성되도록 하는 단계; 공동이 밀봉되도록 지지막 상에 밀봉막을 형성하는 단계; 동공 상부의 밀봉막 상에 열을 발산할 수 있는 저항체로 이루어진 미소가열기를 형성하는 단계; 전체 상부면에 절연막을 형성한 후 패터닝하여 미소가열기의 소정 부분이 노출되도록 접촉 구멍을 형성하는 단계; 절연막 상에 접촉 구멍을 통해 미소가열기와 연결되는 다수의 배선을 형성하는 단계; 미소가열기 상부의 절연막 상에 전극을 형성하는 단계; 전체 상부면에 보호막을 형성한 후 패터닝하여 배선 및 전극의 소정 부분을 노출시키는 단계를 포함하여 이루어지는 것을 특징으로 한다.

<98> 상기 배선과 전극이 동시에 형성되는 것을 특징으로 하며, 상기 열산화 방지막은 실리콘 질화막으로 이루어지고, 상기 제 2 희생층은 저온 실리콘 산화막으로 이루어진 것을 특징으로 한다.

<99> 상기 열산화 공정시 각 트렌치 내에 미세 기공부가 형성되도록 하며, 상기 제 1 및 제 2 희생층은 HF 용액 및 무수 HF와  $\text{CH}_3\text{OH}$ 의 혼합 기체 중 어느 하나로 개질되는 것을 특징으로 한다.



- <101>        상기 제 2 희생층을 형성하는 단계로부터 화학기계연마법으로 표면을 평탄화시키는 단계를 더 포함하여 이루어지는 것을 특징으로 한다.
- <102>        상기 지지막을 형성하는 단계로부터 박막의 응력을 완화시키기 위해 고온 열처리하는 단계를 더 포함하여 이루어지는 것을 특징으로 한다.
- <103>        상기 전극의 상부에 금속전극을 형성하는 단계를 더 포함하여 이루어진 것을 특징으로 한다.

#### 【발명의 구성 및 작용】

- <104>        본 발명의 목적과 여러 가지 장점은 이 기술 분야의 숙련된 사람들에 의해 첨부된 도면을 참조하여 후술되는 바람직한 실시예로부터 더욱 명확하게 될 것이다.
- <105>        이하, 첨부된 도면을 참조하여 본 발명에 따른 실시 예를 상세히 설명한다.
- <106>        도 1a 및 도 1b는 종래에서 공로 조절이 가능한 본 발명에 따른 비소전극의 단면도이다.
- <107>        절리관 기관(101)으로의 열순환을 최소화하기 위한 밀봉공통(103), 밀봉공통(103)을 지지하는 지지막(102), 공통을 밀봉하는 밀봉막(104), 밀봉공통(103) 위에 형성되고 열을 발산할 수 있는 저항체로 이루어진 비소가열기 (nichrome wire)(105), 비소가열기(105)와 전극(107)의 전기적 절연을 위한 절연막 (insulation layer)(106)을 포함한다.

<108> 도 1a는 전극(107)이 용액에 접하는 구조를 갖는 미소전극의 단면도이고,

도 1b는 금속전극(109)이 용액에 접하는 구조를 갖는 미소전극의 단면도로서, 전극(107) 위에 금속전극(109)이 형성된다.

<109> 도 2a 내지 도 7b는 도 1의 기본 구조를 가지면서 깊은 밀봉공동, 배선, 패드, 식각 구멍, 접촉 구멍 등을 갖는 미소전극의 단면도 및 평면도이다.

<110> 실리콘 기판(201, 301, 401, 501, 601, 701), 단열(thermal isolation)을 위한 밀봉공동(sealed cavity)(203, 303, 403, 503, 603, 703), 밀봉공동(203, 303, 403, 503, 603, 703)을 지지하는 지지막(202, 302, 402, 502, 602, 702), 밀봉공동(203, 303, 403, 503, 603, 703)에 존재하는 희생층의 식각시 식각 용액이 통과하는 식각 구멍(209, 309, 409, 509, 609), 식각 구멍(209, 309, 409, 509, 609)을 밀봉하는 밀봉막(204, 304, 404, 504, 604, 704), 열을 발산할 수 있는 저항체로 이루어진 미소가열기(205, 305, 405, 505, 605, 705), 미소가열기(205, 305, 405, 505, 605, 705)와 전극(207, 307, 407, 507, 607, 707) 사이의 전기적인 절연을 위한 절연막(206, 306, 406, 506, 606, 706), 절연막 위에 형성된 전극(207, 307, 407, 507, 607, 707), 미소가열기(205, 305, 405, 505, 605, 705)와 배선(211, 311, 411, 511, 611, 711)을 연결하기 위한 접촉구멍(210, 310, 410, 510, 610, 710), 미소가열기(205, 305, 405, 505, 605, 705)와 패드(212, 312, 412, 512, 612, 712)를 연결하는 배선(211, 311, 411, 511, 611, 711).

의 연결을 위한 패드(212, 312, 313, 412, 512, 612, 711), 금속전극(613, 709)으로 구성된다.

<111> 도 2a 내지 도 5b에는 금속전극이 존재하지 않지만, 도 1b의 경우처럼 전극(107) 위에 금속전극(109)이 존재하는 구조도 가능하다.

<112> 도 2a 내지 도 3c, 도 5a 내지 도 7b는 전극(207, 307, 507, 607, 707)이 하나의 평면전극으로 이루어진 구조이고, 도 4a 및 도 4b는 전극(407)이 IDA 구조로 이루어진 웨이다.

<113> 도 2a 내지 도 3c, 도 5a 내지 도 7b의 경우에도 전극(107, 207, 307, 507, 607, 707)이 IDA 구조로 이루어진다. 도 2a 내지 도 2d에는 배선(211)과 전극(207)이 같은 물질로 형성되었지만, 도 3a 내지 도 3c에는 배선(311)과 전극(307)이 서로 다른 물질로 형성된다. 도 4a 내지 도 7b의 경우도 도 3a 내지 도 3c와 같이 배선(411, 511, 611, 710)과 전극(407, 507, 607, 707)이 서로 다른 물질로 이루어진다.

<114> 도 2b 내지 도 2d는 도 2a의 A1 - A2 부분을 절취한 단면을 각각 도시한다.

<115> 도 3b 및 도 3c는 도 3a의 B1 - B2 부분을 절취한 단면을 각각 도시한다.

<116> 도 4b는 도 4a의 C1 - C2 부분을 절취한 단면을 도시한다.

<117> 도 5a 및 도 5b는 하나의 밀봉공동(503) 위에 2개 이상의 전극이 존재하는 경우를 도시한다. 하나의 다수개열기(505)로 다수의 전극(507)을 가열할 때 도

<118> 도 6a 및 도 6b는 금속전극(613)에 비해서 미소가열기(605)와 밀봉공동(603)의 크기가 작은 경우이다. 국부적으로 금속전극(613)을 가열할 때 금속전극(613) 표면에서 생기는 변화 혹은 용액에서 일어나는 변화를 알아보는 데 도 6a의 구조를 갖는 미소전극이 사용된다. 도 6b는 도 6a의 E1 - E2 부분을 절취한 단면을 도시한다.

<119> 도 7a 및 도 7b는 금속전극(709)에 비해서 미소가열기(705)와 밀봉공동(703)이 작고 다수의 미소가열기(705)와 밀봉공동(703)이 존재하는 경우이다. 국부적으로 금속전극(709)을 여러 부분에서 서로 다른 온도로 가열할 때 금속전극(709) 표면에서 생기는 변화 혹은 용액에서 일어나는 변화를 알아보는 데 사용될 수 있다. 도 7b는 도 7a의 F1 - F2 부분을 절취한 단면을 도시한다.

<120> 전극(107, 207, 307, 407, 507, 607, 707)을 가열하기 위해서는 미소가열기(105, 205, 305, 405, 505, 605, 705)에 전압을 인가하거나 전류를 흘리게 되고, 이때, 주열 가열에 의해 생긴 열은 상부의 전극(107, 207, 307, 407, 507, 607, 707)을 가열할 뿐만 아니라 하부의 지지막(102, 202, 302, 402, 502, 602, 702), 밀봉막(104, 204, 304, 404, 504, 604, 704), 실리콘 기판(101, 201, 301, 401, 501, 601, 701) 등을 가열한다. 미소가열기(105, 205, 305, 405, 505, 605, 705)와 실리콘 기판(101, 201, 301, 401, 501, 601, 701) 사이에 밀봉공동(103, 203, 303, 403, 503, 603, 703)이 존재함으로써 하부로의 열손실을 크게 줄일 수

307, 407, 507, 607, 707)을 더 빨리 가열하거나 냉각시킬 수 있다. 미소가열기(105, 205, 305, 405, 505, 605, 705)의 크기에 비해서 밀봉공동(103, 203, 303, 403, 503, 603, 703)의 폭이 크거나 밀봉공동(103, 203, 303, 403, 503, 603, 703)의 깊이가 깊을수록 열손실은 줄어든다. 본 발명은 실리콘 트렌치 어레이의 열산화막 희생층을 이용하여 1 내지 100 $\mu$ m 정도의 깊은 공동을 형성할 수 있도록 한다. 트렌치의 깊이에 따라 공동의 깊이가 설정되므로 반응성 이온식각(RIE: reactive ion etching) 또는 깊은 반응성 이온식각(deep RIE)에 의해 트렌치의 깊이를 크게 하여 공동의 깊이를 크게 할 수 있다. 바람직하게는 밀봉공동(103, 203, 303, 403, 503, 603, 703)의 내부가 진공이 되도록 할 경우 단열 특성은 더욱 좋아진다.

<121> 밀봉공동(103, 203, 303, 403, 503, 603, 703) 위에 존재하는 지지막(102, 202, 302, 402, 502, 602, 702)은 다결정 실리콘(poly silicon)막 또는 실리콘 질화막으로 이루어지는 것이 바람직하다. 미소가열기(105, 205, 305, 405, 505, 605, 705)와 지지막(102, 202, 302, 402, 502, 602, 702) 사이에 존재하는 밀봉막(104, 204, 304, 404, 504, 604, 704)은 지지막(102, 202, 302, 402, 502, 602, 702)에 존재하는 구멍을 밀봉하는 역할뿐만 아니라, 미소가열기(105, 205, 305, 405, 505, 605, 705)를 지지막(102, 202, 302, 402, 502, 602, 702)으로부터 격리하는 역할도 한다. 이 밀봉막(104, 204, 304, 404, 504, 604, 704)은 질

<122> 저항체로 이루어진 미소가열기(105, 205, 305, 405, 505, 605, 705)는 CMOS 공정으로 제작이 가능하게 하기 위해 백금 혹은 도핑된 다결정 실리콘을 사용하는 것이 바람직하다.

<123> 미소가열기(105, 205, 305, 405, 505, 605, 705)를 통해 흐르는 전류가 전극(107, 207, 307, 407, 507, 607, 707)을 통해 흐르는 전류에 영향을 주는 것을 최소화하기 위하여 전기적 절연막(106, 206, 306, 406, 506, 606, 706)이 필요하다. 실리콘 산화막과 실리콘 질화막이 2층 이상으로 적층되어 있을 때 전기적 절연성은 훨씬 좋아진다. 전기적 절연막(106, 206, 306, 406, 506, 606, 706)은 실리콘 산화막 혹은 실리콘 질화막으로부터 선택된 어느 하나 이상이 단층 이상으로 이루어지는 것이 바람직하고, 저압 화학기상증착(LPCVD) 실리콘 산화막, LPCVD 실리콘 질화막, LPCVD 실리콘 산화막의 세층으로 이루어지는 것이 보다 바람직하다.

<124> 용액에 식는 보호막(208, 308, 408, 508, 608, 708)의 핀홀을 통한 배선(211, 311, 411, 511, 611, 710)의 부식이 문제가 된다. 도 2c 및 도 2d의 구조에서 배선(213, 215)이 알루미늄으로 이루어질 경우 c와 d 방향으로 보호막(208)의 핀홀을 통해 알루미늄이 부식되고, 온도가 올라가면 부식은 더 심하게 일어난다. 보호막(208)으로 실리콘 산화막 혹은 실리콘 질화막이 2층 이상으로 적층되어 있을 때 핀홀을 통한 배선(211, 311, 411, 511, 611, 710)의 부식은 크게 감소

화학기상증착(PECVD) 실리콘 산화막, PECVD 실리콘 질화막, PECVD 실리콘 산화막의 세 층으로 이루어지는 것이 보다 바람직하다.

<125> 미소가열기(205, 305, 405, 505, 605, 705)는 배선(211, 311, 411, 511, 611, 710)에 연결된다. 이 경우 전체 저항은 미소가열기(205, 305, 405, 505, 605, 705)의 저항과 배선(211, 311, 411, 511, 611, 710)의 저항에 의해 결정된다. 배선(211, 311, 411, 511, 611, 710)의 길이에 상관없이 일정한 저항을 가지기 위해서는 배선(211, 311, 411, 511, 611, 710)의 저항이 미소가열기(205, 305, 405, 505, 605, 705)의 저항보다 훨씬 작아야 한다. 미소가열기(205, 305, 405, 505, 605, 705)의 저항을 크게 하여 상대적으로 배선(211, 311, 411, 511, 611, 710)의 저항을 작게 할 수 있지만, 미소가열기(205, 305, 405, 505, 605, 705)의 저항이 크면 인가되는 전압이 높아야 하는 문제점이 있다. 따라서, 배선(211, 311, 411, 511, 611, 710)의 저항을 매우 작게 할 필요가 있다. 알루미늄은 비저항이 작고 쉬운 방법으로 미세 패턴을 얻을 수 있다. 그러므로 CMOS 공정에 사용할 수 있는 백금, 알루미늄 중에서 알루미늄을 이용하여 배선(211, 311, 411, 511, 611, 710)을 형성하는 것이 바람직하다. 알루미늄을 사용할 때 문제가 되는 알루미늄의 부식은 상술한 바와 같이 실리콘 산화막 혹은 실리콘 질화막을 2층 이상으로 적층하여 형성한 보호막(208, 308, 408, 508, 608, 708)에 의해 최소화될 수 있다.

과 백금의 두 층으로 형성하여 금 혹은 백금의 미소전극을 얻을 수 있다.

하지만, 도 2c의 a 부분과 b 방향의 핀홀과 도 2d의 d 방향의 금속 박막의 핀홀을 통해 알루미늄의 부식이 일어난다. 게다가, 전극의 온도를 높일 경우 핀홀을 통한 알루미늄의 부식은 급격히 증가한다. 따라서, 도 3b에 도시된 바와 같이 전극(307) 부분은 배선(311)과는 독립적으로 알루미늄이 포함되지 않은 백금으로 형성하여 전극(307)의 부식을 최소화하는 것이 바람직하다.

<127> 표준 CMOS 공정에서 전극(107, 207, 307, 407, 507, 607, 707)으로 사용될 수 있는 금속은 백금, 알루미늄 등 몇 가지로 제한된다. 일반적으로 용액에서 사용되는 금속은 부식에 강한 귀금속(백금, 금, 이리듐 등)이지만, 백금을 제외하고는 표준 CMOS 공정으로 제조가 불가능하다. 따라서, 금으로 된 전극(107, 207, 307, 407, 507, 607, 707)을 만들려고 할 때는 표준 CMOS 공정으로 전극을 만든 뒤 최종 공정으로 리프트-오프(lift-off) 공정을 실시하여 금으로 이루어진 금속 전극을 형성하는 것이 바람직하다.

<128> 백금으로 된 전극(107, 207, 307, 407, 507, 607, 707)이 형성되었다 하더라도 공정 중에 백금 표면에 보호막(108, 208, 308, 408, 508, 608, 708)이 입혀졌다 식각되므로 백금 표면에는 이물질이 존재하게 된다. 이물질은 백금의 전기 화학적 특성을 크게 변화시킬 수 있으므로 순수한 백금으로만 이루어진 표면을 얻기 위해서는 도 3c에 도시된 바와 같이 백금 전극(311) 위에 리프트 오프 방법



는 실리콘 기판(101)에 도 1a의 미소전극이 2개 이상 존재하는 것이다. 또한, 도 2a 내지 도 7b의 미소전극의 구조를 가지는 본 발명의 미소전극 어레이는 실리콘 기판(201, 301, 401, 501, 601, 701)에 도 2a 내지 도 7b의 미소전극이 2개 이상 존재하는 것이다.

<130> 도 8a 내지 도 9b는 도 2a에 도시된 미소전극 4개로 이루어진 미소전극 어레이의 간략한 단면도와 평면도이다. 도 8b는 도 8a의 G1 - G2 부분을 절취한 단면을 도시한다.

<131> 실리콘 기판(801), 밀봉공동(803, 901, 905), 지지막(802), 밀봉막(804), 미소가열기(805), 전기적 절연막(806), 전극(807, 902, 906), 보호막(808), 배선(809, 903, 907), 패드(810, 904, 908)를 포함한다. 도 8a 및 도 8b는 각 미소가열기(805)의 두 개의 배선(809)이 각각 독립적으로 패드(810)에 연결된 것을 나타낸 것이고, 도 9a는 두 개 이상의 미소가열기에서 각 미소가열기의 두 개의 배선(903) 중 하나가 하나의 패드(904)에 연결된 것을 나타낸 것이며, 도 9b는 두 개 이상의 미소가열기에서 두 개의 패드(908)만으로 모든 미소가열기의 배선(907)이 연결된 것을 나타낸 것이다. 전극의 수가 늘어남에 따라 미소가열기의 배선(809, 903, 907)의 수도 늘어나게 되기 때문에 가동하면 배선(809)의 수를 줄여야 한다. 배선(809)의 개수를 줄이기 위해서는 도 9a와 도 9b의 구조로 미소전극 어레이를 제작하는 것이 바람직하다. 도 2a의 미소전극뿐만 아니라 도 3a

<132> 도 10a 내지 도 10i은 여러 가지 형태의 미소전극 및 미소전극 어레이 중 도 3a에 도시된 미소전극의 제조 공정을 설명하기 위한 단면도이다.

<133> 전체 공정은 8 장의 패턴 마스크를 이용하며, 실리콘 웨이퍼를 기판으로 이용한다. 열산화 방지막(1002)을 형성하는 단계; 실리콘 기판(1001) 표면에 실리콘 트렌치 어레이(1005)를 형성하는 단계; 실리콘 트렌치 어레이(1005)를 열산화시켜 희생층(sacrificial layer)(1006)을 형성하는 단계; 열산화 방지막(1002)을 개지하는 단계; 식각 통로를 형성하기 위해 실리콘 기판(1001)과 상기 희생층(1006) 위에 실리콘 산화막으로 희생층(1009)을 형성하는 단계; 희생층 전면에 다결정 실리콘 지지막(1010)을 증착하고 식각 구멍(1011)을 형성하는 단계; 식각 구멍(1011)을 통해 두가지 희생층을 제거하여 공동(1012)을 형성하는 단계; 식각 구멍(1011) 위에 밀봉막(1013)을 증착시켜 공동(1012)을 밀봉하는 단계; 미소가열기 열기(1015)를 형성하는 단계; 전기적 절연막(1017)을 형성하는 단계; 미소가열기를 배선과 연결하기 위한 접촉 구멍(1016)을 형성하는 단계; 배선(1018), 전극(1019) 그리고 패드(1021)를 형성하는 단계; 전극(1019), 패드(1021), 배선(1018) 및 절연막(1017) 위에 보호막(1020)을 형성하는 단계; 보호막(1020)의 일부분을 식각하여 전극(1019)과 패드(1021)의 일부분을 노출시키는 단계; 전극(1019) 위에 금속전극(1022)을 형성하는 단계로 진행된다.

<134> 도 10a를 참조하면, 실리콘 기판(1001) 상에 실리콘 산화막(1002) 및 실리콘

<100>인 p형의 5 인치 실리콘 기판(1001)이 표준 세정과정을 거쳐 기본 기판으로 사용된다. 실리콘 산화막(1003)은 열산화 방지막으로 이용되는 실리콘 질화막(1002)의 식각을 방지하는 역할을 하며, 서압 화학기상증착(LPCVD: low pressure chemical vapor deposition)이나 플라즈마 화학기상증착(PECVD: plasma enhanced chemical vapor deposition)으로 성장된다.

<135> 도 10b를 참조하면, 노출된 부분의 실리콘 산화막(1003)과 실리콘 질화막(1002)을 순차적으로 건식 식각한 후 감광막(1004)을 제거한다. 반응성 이온식각(reactive ion etching) 또는 딥(deep) RIE 방법으로 노출된 실리콘 기판(1001)을 1 내지 100 $\mu$ m 깊이로 건식 식각하여 실리콘 트렌치 어레이(1005) 구조를 형성한다. 그리고 900°C의 전기로(furnace)에서 30분 동안  $\text{POCl}_3$ 을 확산시켜 실리콘 기판(1001)을  $n^+$ 로 도핑(doping)시킨다. 이때, 실리콘 열산화로 생성된 트렌치 열산화막(1006) 사이에 미세 기공부(1007)가 형성되도록(도 10c 참조) 트렌치 섹폭부인  $x:y$ 의 치수 비율을 0.45:>0.55가 되도록 한다. 또한, 실리콘 기판(1001)의 도핑에 의해 실리콘 트렌치 어레이(1005)의 열산화 속도가 더욱 빨라지고(도 10c 참조), P를 함유한 트렌치 열산화막(1006)을 HF 식각으로 용이하게 제거할 수 있도록 한다(도 10f 참조).

<136> 도 10c를 참조하면, 6:1 BHF 용액에서 실리콘 산화막(1003)과 식각 찌꺼기(etch residue)를 습식 식각(wet etching)으로 제거한다. 900 내지 1000°C 및 0.

는 직경을 가지는 밀봉공동(1014)이 형성될 영역을 정의한다. 이때, 트렌치 일산화막 희생층(1006) 내에 0.1 내지 0.3 $\mu\text{m}$ 의 폭을 갖는 다수의 미세 기공부(1007)가 동시에 형성된다. 미세 기공부(1007)는 트렌치 일산화막 희생층(1006) 제거시(도 10f 참조) 습식 식각 용액 또는 기상 식각 기체가 잘 침투될 수 있게 하는 미세 모세관(micro capillary) 역할을 한다.

<137> 도 10d를 참조하면,  $\text{H}_3\text{PO}_4$  용액으로 실리콘 질화막(1002)을 제거한 다음 저압 화학기상증착(LPCVD)법으로 0.1 내지 2 $\mu\text{m}$  두께의 저온 실리콘 산화막(low temperature oxide  $\text{SiO}_2$ )(1008)을 증착한다.

<138> 도 10e를 참조하면, 저온 실리콘 산화막(1008)을 식각 통로로 활용한 희생층(1009) 영역을 정의하기 위해, 감광막을 도포하고 두번째 마스크를 이용하여 노광한 후 패터닝하여 식각 통로 부위를 정의한다. 6:1 BHF 용액에서 저온 실리콘 산화막(1008)을 습식 식각하여 실리콘 트렌치 희생층(1006) 영역 가장자리에 식 바깥쪽으로 분기된 저온 실리콘 산화막 희생층(1009)을 형성한다. 이 공정을 수행하기 전에 표면의 거칠기를 줄이기 위해 화학기계연마(chemical mechanical polishing)법으로 저온 실리콘 산화막(1008)의 표면을 0.1 내지 1.0 $\mu\text{m}$  두께로 연마하여 평탄화시키는 것이 바람직하다. 감광막을 제거한 후 세정하고 저압 화학기상증착(LPCVD)법으로 전체 상부면에 다결정 실리콘(polysilicon)을 0.4 내지 2.0 $\mu\text{m}$  두께로 증착하여 지지막(1010)을 형성한다. 1000°C의 온도 및 1분 분량의

<139> 도 10f를 참조하면, 트렌치 열산화막 희생층(1006)과 저온 실리콘 산화막 희생층(1009)의 제거시 습식 식각 용액 또는 기상 식각 기체가 유입되도록 하기 위한 식각 구멍(1011)을 형성하기 위하여 감광막을 도포하고 세번째 마스크를 이용하여 노광한 후 패터닝하여 식각 구멍(1011) 부위를 정의한다. 다결정 실리콘 기지막(1010)을 건식 식각하여 다수의 식각 구멍(1011)을 형성한다. 감광막을 제거한 후 습식 식각 또는 기상 식각을 수행하여 트렌치 열산화막 희생층(1006)과 저온 실리콘 산화막 희생층(1009)을 제거한다. 지름이 200 $\mu$ m, 깊이 5 $\mu$ m인 식각 구멍(1011)이 4개인 미세 구조체의 경우 진한 HF(concentrated hydrofluoric acid) 용액에 30분 내지 10시간 담그어 공동(1012)이 형성될 영역 내의 P를 함유한 트렌치 열산화막 희생층(1006)과 저온 실리콘 산화막 희생층(1009)을 급속 식각한 후 2:1 BHF 용액에 1시간 이상 침적하여 식각 반응시 생성될 수 있는 식각 찌꺼기(etch residue)를 제거한다. 이때 트렌치 열산화막 희생층(1006) 사이에 형성된 미세 기공부(1007)에 의한 모세관력(capillary force)에 의해 식각용액이 트렌치 열산화막 희생층(1006)의 하부까지 용이하게 침투된다. 한편, 기상 식각 시에는 가스위상식각(GPE:gas phase etching) 장비에 실리콘 웨이퍼를 상입하고 기판 온도를 22 내지 35 $^{\circ}$ C, 반응로의 압력을 10 내지 100Torr 범위로 조절한 후 무수 HF(anhydrous HF)와 CH<sub>3</sub>OH 증기 기체를 흘려 기상에서의 HF 식각 반응에 의해 트렌치 열산화막 희생층(1006)과 저온 실리콘 산화막 희생층(1009)이 제거되

(1011)의 갯수를 증가시키면 식각 시간을 단축시킬 수 있다. 이와 같이 트랜치  
 열산화막 희생층(1006)과 저온 실리콘 산화막 희생층(1009)을 제거함으로써 실리콘  
 기판(1001)에 다결정 실리콘 지지막(1010)이 상부에 존재하는 대기압 공동  
 (air cavity)(1012)이 형성된다.

<140> 도 10g를 참조하면, 450℃의 진공로 또는 N<sub>2</sub> 분위기의 전기로에서 30분 이  
 상 가열하여 표면에 잔류된 수분을 제거한 후 다결정 실리콘 지지막(1010)을 건  
 식 식각하여 두께를 0.2 내지 1.0 $\mu$ m로 줄인다. 저압 화학기상증착(LPCVD) 또는  
 플라즈마 화학기상증착(PECVD)법으로 실리콘 산화막 또는 실리콘 질화막 등의 절  
 연체로 구성된 밀봉막(1013)을 단층 또는 적층 및 4000 내지 40000Å 두께로 증  
 착한다. 이때, 밀봉막(1013) 증착 공정이 진공 분위기에서 이루어지므로 대기압  
 공동(1012) 내부의 공기가 배출되어지면서 식각 구멍(1011)이 밀봉되어 진공 밀  
 봉공동(1014)이 형성된다.

<141> 도 10h를 참조하면, 저압 화학기상증착(LPCVD)법으로 0.2 내지 0.6 $\mu$ m 두께  
 의 다결정 실리콘막(1015)을 증착한 후 다결정 실리콘막(1015)의 저항을 줄이기  
 위해 850 내지 900℃의 전기로(furnace)에서 30분 동안 POCl<sub>3</sub>을 확산시켜 다결정  
 실리콘을 n<sup>+</sup>로 도핑(doping)시킨다. 감광막을 도포하고 매번 마스크를 이용하  
 여 노광한 후 패터닝하여 식각 부위를 정의한다. 다결정 실리콘막(1015)을 건식  
 식각하여 단일층으로 이루어진 비수기연막(1015)을 형성한 후 감광막을 제거한다.

성을 극대화하기 위해서 전기적 절연막(1017)은 LPCVD 실리콘 산화막, LPCVD 실리콘 질화막, LPCVD 실리콘 산화막의 세 층으로 형성한다. 전기적 절연막(1017) 상에 감광막을 도포하고 다섯번째 마스크를 이용하여 노광한 후 패터닝하여 배선과 미소가열기(1015)의 접촉을 위한 접촉 구멍(1016) 부위를 정의한다. 절연막(1017)을 건식 혹은 습식 식각하여 접촉 구멍(1016)을 형성한 뒤 감광막을 제거한다.

<143> 도 10j를 참조하면, 스퍼터(sputter)법으로 750 내지 2500Å 두께의 TiW과, 8000 내지 15000Å 두께의 Al을 순차적으로 적층한다. 감광막을 도포하고 여섯번째 마스크를 이용하여 노광한 후 패터닝하여 배선(1018) 부위를 정의한다. TiW/Al을 건식 식각하여 배선(1018)을 형성한 뒤 감광막을 제거한다. 스퍼터법으로 300 내지 2500Å 두께의 TiW과, 1000 내지 5000Å 두께의 Pt을 순차적으로 적층한다. 감광막을 도포하고 일곱 번째 마스크를 이용하여 노광한 후 패터닝하여 전극(1019) 부위를 정의한다. 이때, 배선(1018)도 다시 정의된다. TiW/Pt을 건식 혹은 습식 식각하여 전극(1019)을 형성한 뒤 감광막을 제거한다.

<144> 도 10k를 참조하면, 플라즈마 화학기상증착(PECVD)법으로 실리콘 산화막 또는 실리콘 질화막 등의 절연체로 이루어진 보호막(1020)을 단층 또는 적층 및 0.5 내지 5μm 두께로 증착한다. 이때, Al 배선(1018)의 부식을 최소화하기 위해 식 보호막(1020)은 PECVD 실리콘 산화막, PECVD 실리콘 질화막, PECVD 실리콘 산

를 정의한다. 보호막(1020)을 건식 혹은 습식 식각하여 전극(1019)과 패드(1021)를 노출시킨 뒤 감광막을 제거한다.

<145> 도 10를 참조하면, 감광막을 도포하고 여덟 번째 마스크를 이용하여 노광한 후 패터닝하여 금속전극(1022) 부위를 정의한다. 감광막이 있는 상태에서 전자-빔(e-beam)법으로 노출된 전극(1019) 및 배선(1018) 상에 Au를 1000 내지 3000Å 두께로 증착한다. 아세톤에 담그어 감광막을 제거하여 전극(1019) 및 배선(1018) 상에 Au로 이루어진 금속전극(1022)만 남도록 한다.

<146> 도 11은 200 $\mu$ m 크기의 직경을 갖는 원형의 밀봉공동과, 120 $\mu$ m 크기의 직경을 갖는 원형 전극을 가지는 도 3a 및 도 3b에 도시된 구조의 미소전극 어레이를 상술한 공정으로 제작한 후 평면을 촬영한 전자현미경 사진이다.

<147> 상술한 공정에서 화학기계연마와 금속전극의 형성은 생략하였다. 노출된 원형 전극의 직경은 100 $\mu$ m이고, 각 미소전극의 식각구멍은 4개이며, 4개의 미소전극으로 구성된 미소전극 어레이가 도시된다.

<148> 도 12는 도 11의 미소전극의 단면을 촬영한 전자현미경 사진으로, 실리콘 기판의 하부에 5 $\mu$ m의 깊이를 갖는 밀봉 공동이 균일한 두께로 양호하게 형성되었음을 보여준다.

<149> 도 13a 및 도 13b는 상술한 공정으로 제작된 미소전극을 0.5 M KNO<sub>3</sub> 수용액에서 가열할 때 미소 가열기의 전력에 따른 온도의 온도 변화를 도시한다. 도 13a



이 존재하지 않는 경우 가열 특성은  $0.11\text{ }^{\circ}\text{C}/\text{mW}$ 이다. 밀봉공동의 존재로 인해 가열 특성이 20배 정도 좋아짐을 알 수 있다. 그리고 밀봉공동이 있을 경우 적은 전력을 소모하면서 쉽게  $100\text{ }^{\circ}\text{C}$ 까지 가열할 수 있지만, 밀봉공동이 없는 경우에는 미소가열기에 가할 수 있는 전력의 한계 때문에 오랫동안  $20\text{ }^{\circ}\text{C}$  이상 가열 상태를 유지하기 어렵다.

<150> 도 14는  $0.5\text{ KNO}_3$  수용액에서  $20\text{ }^{\circ}\text{C}$ 에서  $95\text{ }^{\circ}\text{C}$ 로 가열한 후  $95\text{ }^{\circ}\text{C}$ 에서  $20\text{ }^{\circ}\text{C}$ 로 냉각할 때의 온도 변화를 도시한다. 가열과 냉각 시 모두 0.2 초 내에 105%에서 95% 사이에 도달함을 알 수 있다. 즉, 밀봉공동을 사용함에 의해 미소가열기 주위의 열무게를 줄임으로써 빠른 가열과 냉각을 이룰 수 있음을 알 수 있다.

<151> 도 15는 도 11의 구조에서 하나의 미소전극을 가열하고 냉각할 때 이웃하는 미소전극의 온도 변화를 도시한다.  $0.5\text{ KNO}_3$  수용액에서 미소전극을  $20\text{ }^{\circ}\text{C}$ 에서  $95\text{ }^{\circ}\text{C}$ 로 가열한 후  $95\text{ }^{\circ}\text{C}$ 에서  $20\text{ }^{\circ}\text{C}$ 로 냉각할 경우 가열 시에는  $23\text{ }^{\circ}\text{C}$  이내에서 변하고 냉각 시에는 원래의 온도로 돌아옴을 알 수 있다. 즉, 두 전극의 중심이  $300\text{ }\mu\text{m}$  밖에 떨어져 있지 않지만 하나의 전극이 가열되더라도 이웃하고 있는 전극의 온도에는 크게 영향을 미치지 않음을 알 수 있다. 따라서, 상술한 구조를 가지는 미소전극을 사용하여 미소전극 어레이를 형성한 경우 이웃하는 전극에 온도 영향을 크게 미치지 않으면서 각 전극의 온도를 독립적으로 조절할 수 있게 된다.

<153> 이 상에서 설명한 본 발명은 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에 있어 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능함으로 전술한 실시 예 및 첨부된 도면에 한정되는 것이 아니다.

#### 【발명의 효과】

<154> 이 상 설명한 바와 같이 본 발명에 의하면, 실리콘 기판 상에 밀봉공동을 형성함으로써 미소가열기와 실리콘 기판 사이의 단열이 우수하고, 용액에서 전력(power) 소모가 적으며 빠른 시간 내에 가열 및 냉각될 수 있는 미소전극 및 미소전극 어레이를 제작할 수 있다.

<155> 또한, 미소가열기와 전극 사이의 전기적 절연이 우수하고, 부식이 없어 오랫동안 사용할 수 있으며, 온도 특성이 배선의 길이에 크게 영향을 받지 않는 미소전극 및 미소전극 어레이를 제작할 수 있다.

<156> 본 발명의 미소전극 및 미소전극 어레이는 모든 전기화학적 측정용 전극으로 사용될 수 있을 뿐만 아니라 전기화학적 측정법을 이용한 화학 센서 및 바이오 센서, DNA 칩, 단백질 칩, 전자 혀, 미소반응기 등에 응용될 수 있다.

【특허 청구범위】

【장구항 1】

상부에 소정 깊이의 트렌치가 형성된 기관과;

상기 트렌치에 공동이 형성되도록 상기 기관 상에 형성된 지지막과;

상기 공동이 밀봉되도록 상기 지지막 상에 형성된 밀봉막과;

상기 밀봉막 상에 형성되며 열을 발산할 수 있는 저항체로 이루어진 미소가열기와;

상기 미소가열기를 포함하는 전체 구조 상부에 형성된 절연막과;

상기 절연막 상에 형성되며 접촉 구멍을 통해 상기 미소가열기와 연결된 다수의 배선과,

상기 절연막 상에 형성되며 상기 미소가열기에 의해 간접적으로 가열되는 전극과;

상기 전극 및 배선을 포함하는 전체 구조 상부에 형성되며 상기 전극 및 배선의 일부분이 노출되도록 패터닝된 보호막을 포함하여 이루어진 것을 특징으로 하는 미소전극.

【장구항 2】

제1항에 있어서,

상기 미소가열기는 저항체로 이루어진 것

【정구항 3】

제 1 항에 있어서,

상기 공동의 내부는 진공으로 유지되는 것을 특징으로 하는 미소전극.

【정구항 4】

제 1 항에 있어서,

상기 전극은 백금 및 백금을 포함하는 물질 중 어느 하나로 형성된 것을 특징으로 하는 미소전극.

【정구항 5】

제 1 항에 있어서,

상기 전극은 IDA 구조로 형성된 것을 특징으로 하는 미소전극.

【정구항 6】

제 1 항에 있어서,

상기 전극의 상부에 금속전극이 형성된 것을 특징으로 하는 미소전극.

【정구항 7】

제 6 항에 있어서,

상기 금속전극은 IDA 구조로 형성된 것을 특징으로 하는 미소전극.

【정구항 8】

제 6 항에 있어서,

상기 금속전극의 넓이는 상기 공동의 넓이보다 큰 것을 특징으로 하는 미소전극.

【정구항 9】

제 1 항에 있어서,

상기 각 미소전극이 가지는 전극의 수는 하나 이상인 것을 특징으로 하는 미소전극.

【정구항 10】

제 9 항에 있어서,

상기 다수의 전극 상부에 하나의 금속전극이 형성된 것을 특징으로 하는 미소전극.

【청구항 11】

제 1 항에 있어서,

상기 보호막은 상기 전극이 상기 공동의 넓이보다 적게 노출되도록 패터닝되는 것을 특징으로 하는 미소전극.

【청구항 12】

제 1 항에 있어서,

상기 배선은 알루미늄 및 알루미늄을 포함하는 물질 중 어느 하나로 형성된 것을 특징으로 하는 미소전극.

【청구항 13】

다수의 제 1 항 내지 제 12 항 중 어느 하나의 항의 미소전극이 어레이 형태로 배열되며, 각각의 미소각열기에 연결된 배선이 연결하는 미소각열기의 배선 및 패드에 각각 접속되거나 각각의 패드에 독립적으로 접속되도록 구성된 것을 특징으로 하는 미소전극 어레이.

【청구항 14】

상단부 가장 상에 연결된 바깥부분에 연결되는 단자;

상기 단자로부터 시작하여, 각각의 미소각열기에 연결되는 배선; 및

상기 트렌치 어레이에 제 1 희생층이 형성되도록 열산화 공정을 진행하는 단계;

상기 열산화 방지막을 제거한 후 상기 제 1 희생층을 포함하는 상기 실리콘 기판 상에 제 2 희생층을 형성하는 단계;

전체 상부면에 지지막을 형성한 후 패터닝하여 상기 제 2 희생층의 양측부가 노출되도록 식각 구멍을 형성하는 단계;

상기 식각 구멍을 통해 상기 제 1 및 제 2 희생층을 제거하여 상기 실리콘 기판에 공동이 형성되도록 하는 단계;

상기 공동이 밀봉되도록 상기 지지막 상에 밀봉막을 형성하는 단계;

상기 동공 상부의 밀봉막 상에 열을 발산할 수 있는 저항체로 이루어진 미소가열기를 형성하는 단계;

전체 상부면에 절연막을 형성한 후 패터닝하여 상기 미소가열기의 소정 부분이 노출되도록 접촉 구멍을 형성하는 단계;

상기 절연막 상에 상기 접촉 구멍을 통해 상기 미소가열기와 연결되는 다수의 배선을 형성하는 단계;

상기 미소가열기 상부의 상기 절연막 상에 전극을 형성하는 단계;

전체 상부면에 보호막을 형성한 후 패터닝하여 상기 배선 및 전극의 소정 부분을 노출시키는 단계로 제한하여 이루어지는 것을 특징으로 하는 미소가열기 제조 방법.

【정규항 15】

제 14 항에 있어서,

상기 배선과 전극이 동시에 형성되도록 하는 것을 특징으로 하는 미소전극  
제조 방법.

【정규항 16】

제 14 항에 있어서,

상기 트렌치 어레이의 선:폭의 치수 비율은  $0.45 > 0.55$ 인 것을 특징으로  
하는 미소전극 제조 방법.

【정규항 17】

제 14 항에 있어서,

상기 일산화 구강질 상에 각 트렌치 내에 미세 구공부가 형성되도록 하는  
것을 특징으로 하는 미소전극 제조 방법.

【정규항 18】

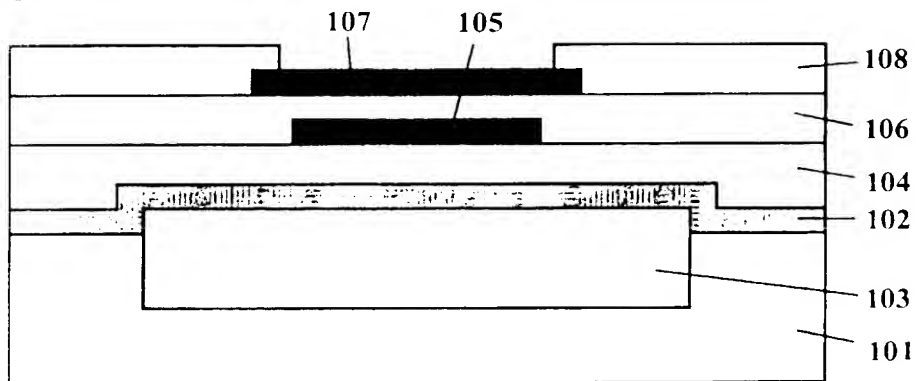
제 14 항에 있어서,

상기 일산화 구강질 상에 각 트렌치 내에 미세 구공부가 형성되도록 하는

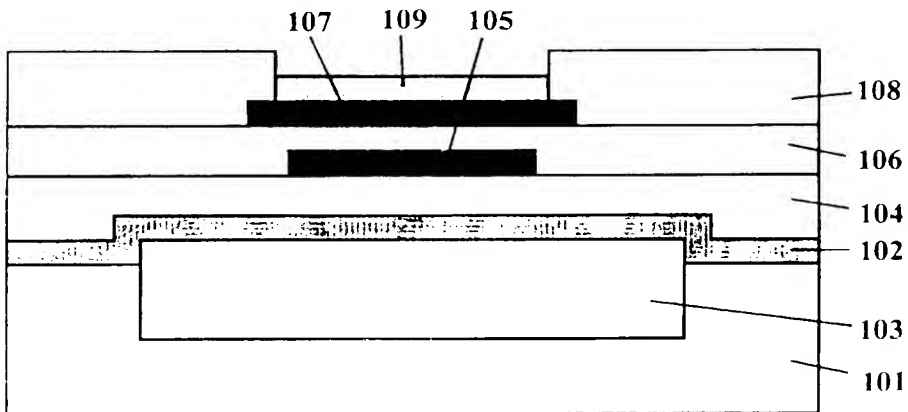


【도면】

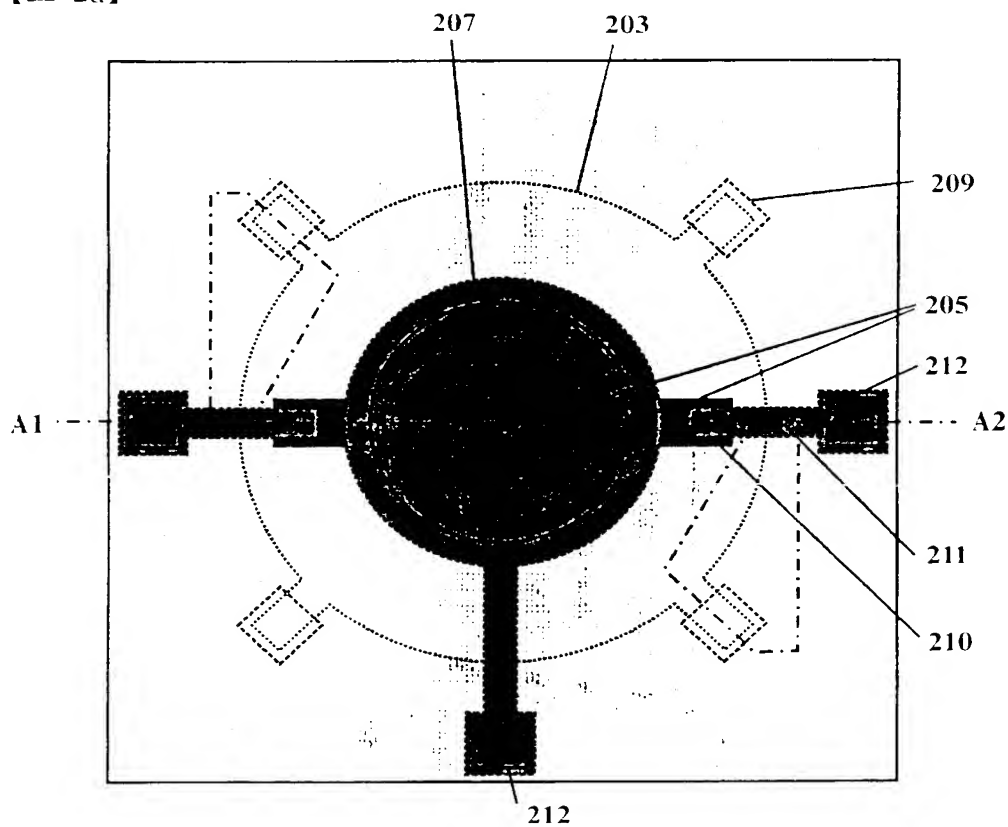
【도 1a】



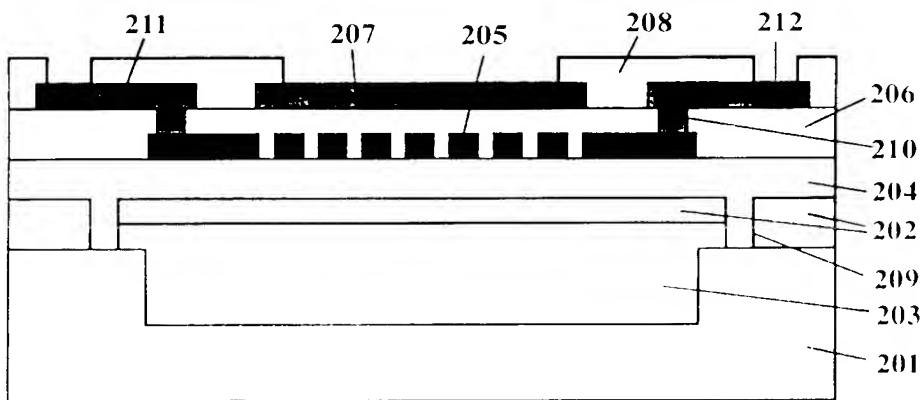
【도 1b】



【도 2a】

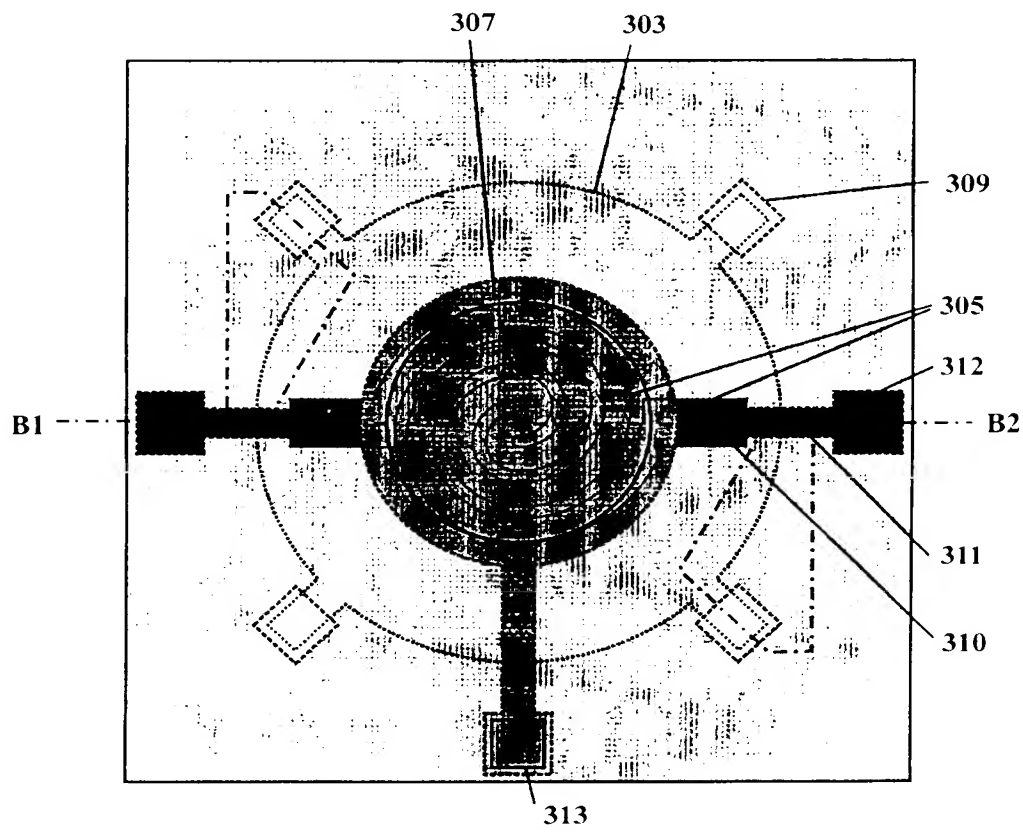


【도 2b】



[illegible]

【도 3a】



【도 3b】

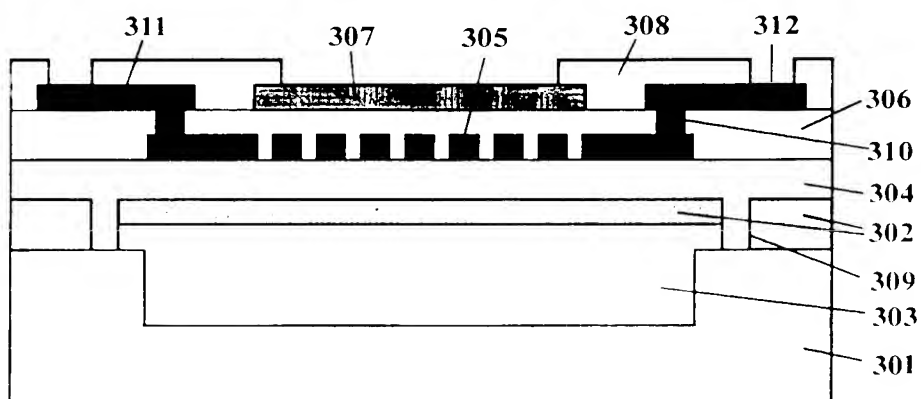
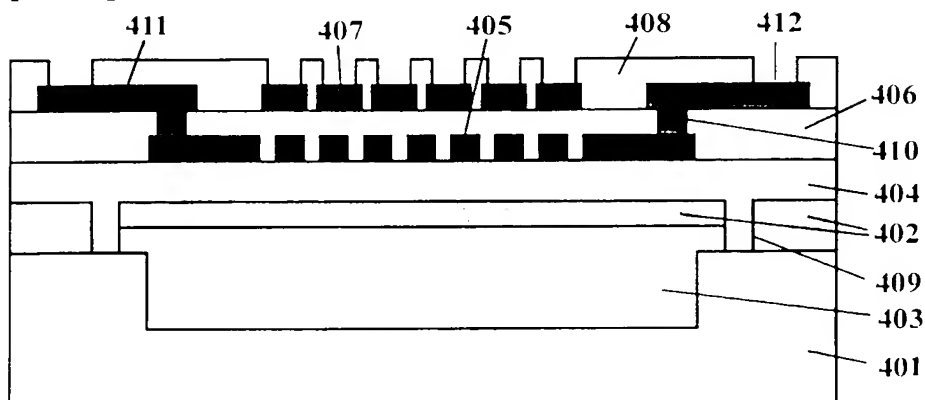


Figure 1 is a schematic diagram of a four-axis magnetic resonance imaging (MRI) system. The diagram shows a central circular region (403) with a central square region (407). Four rectangular regions (409) are positioned around the central region. Four rectangular regions (412) are positioned at the corners of the central region. Four rectangular regions (410) are positioned at the corners of the central region. Four rectangular regions (411) are positioned at the corners of the central region. The diagram is labeled with C1 and C2 on the left and right sides respectively.

【도 4b】



【도 5a】

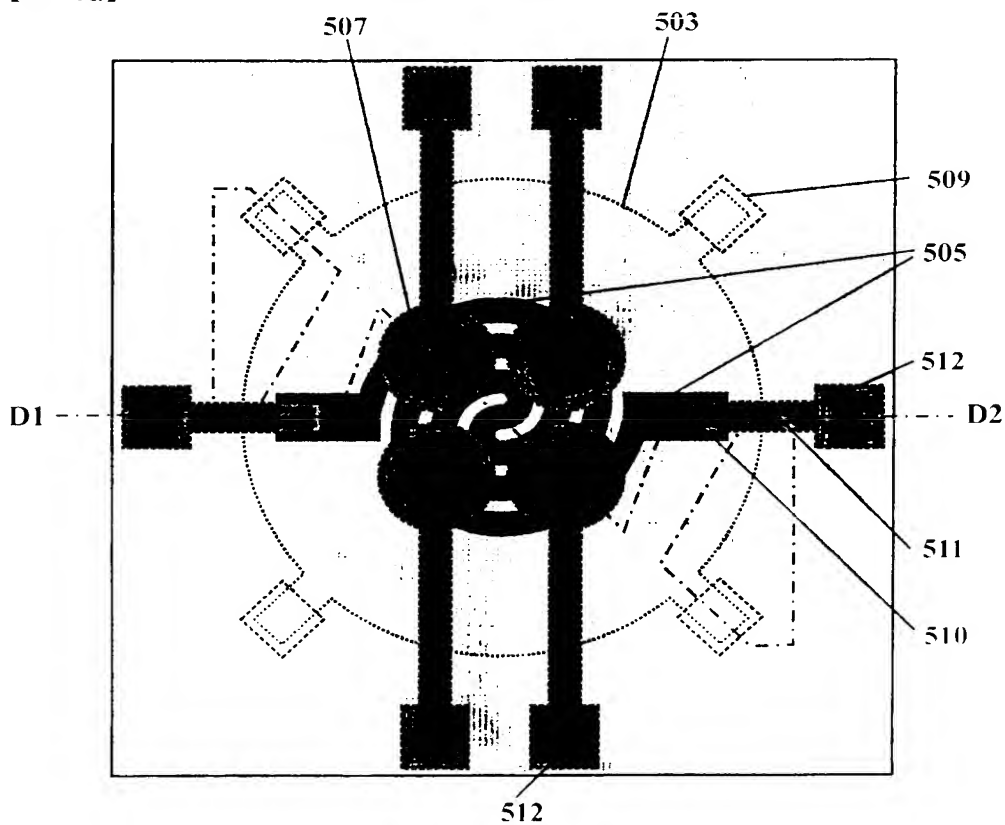
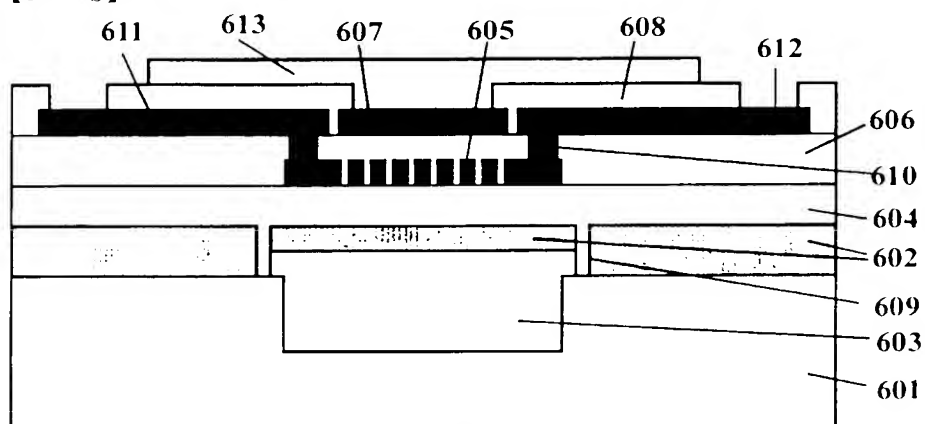
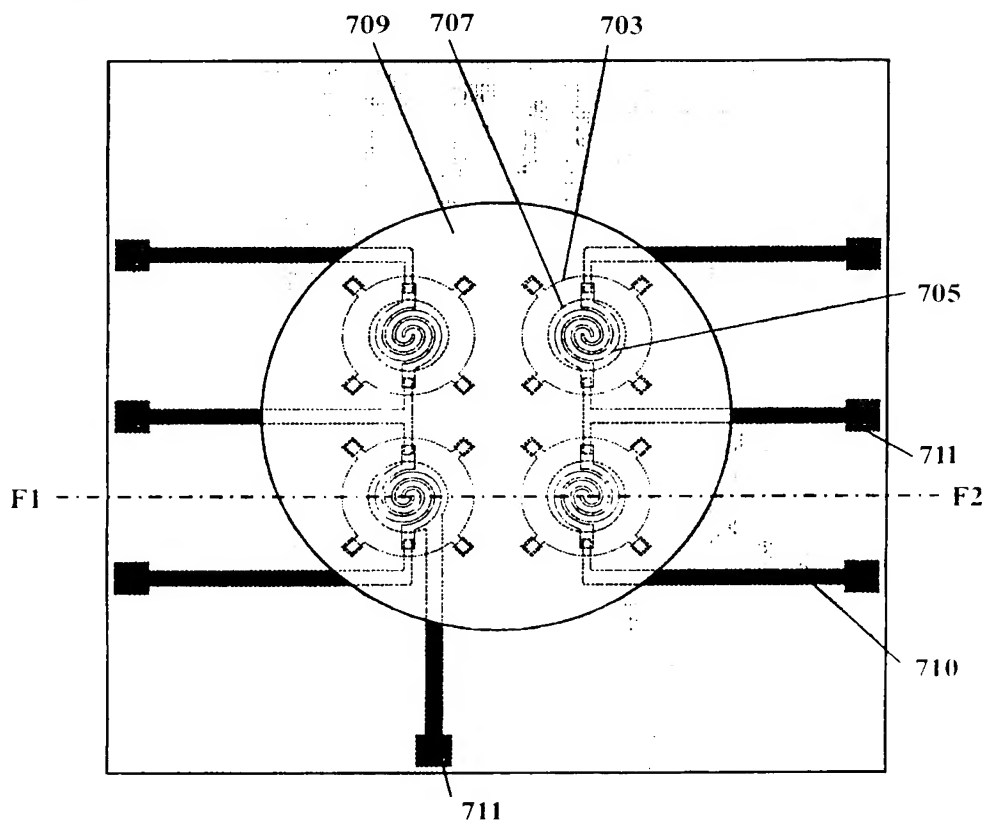


Diagram illustrating a top view of a circular substrate (607) with a spiral pattern (603) and four rectangular pads (612) arranged symmetrically. The pads are connected to external terminals E1 and E2. Labels 609, 605, 611, and 610 point to various internal features and connections.

【도 6b】

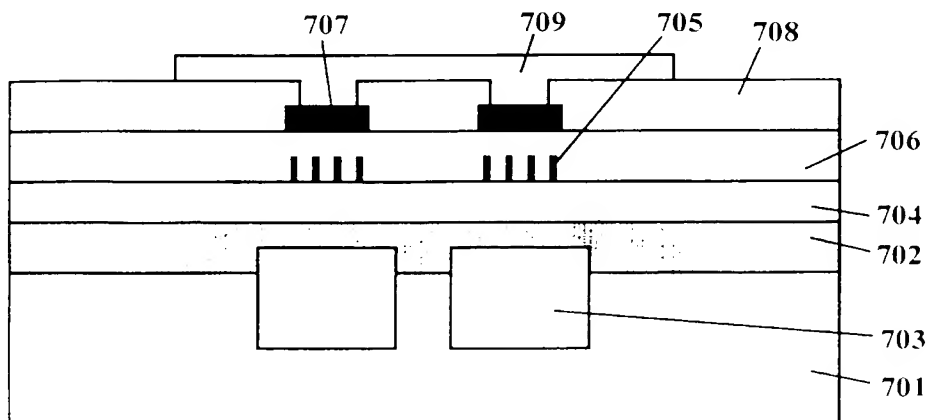


【도 7a】

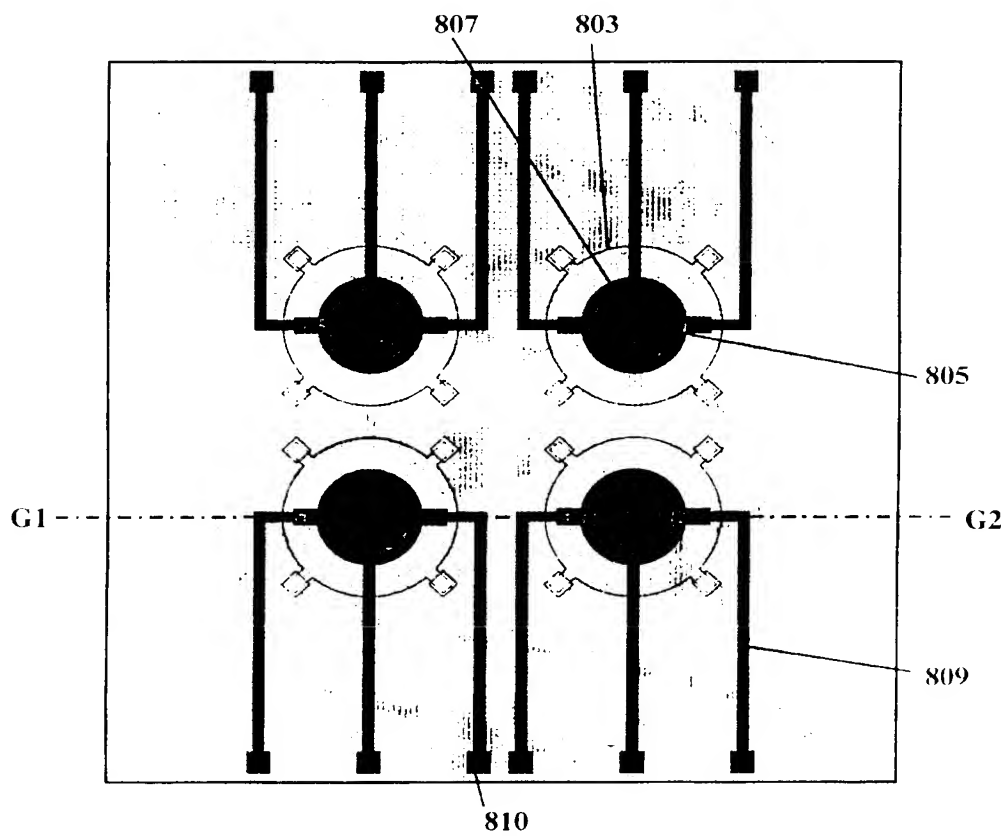




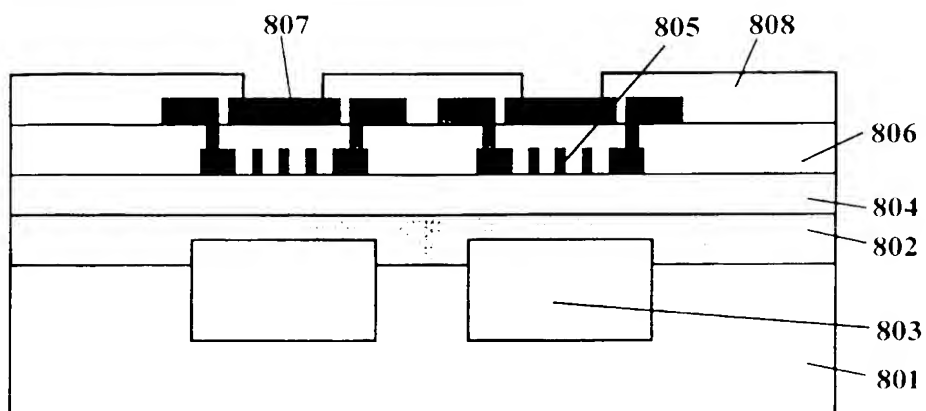
【도 7b】



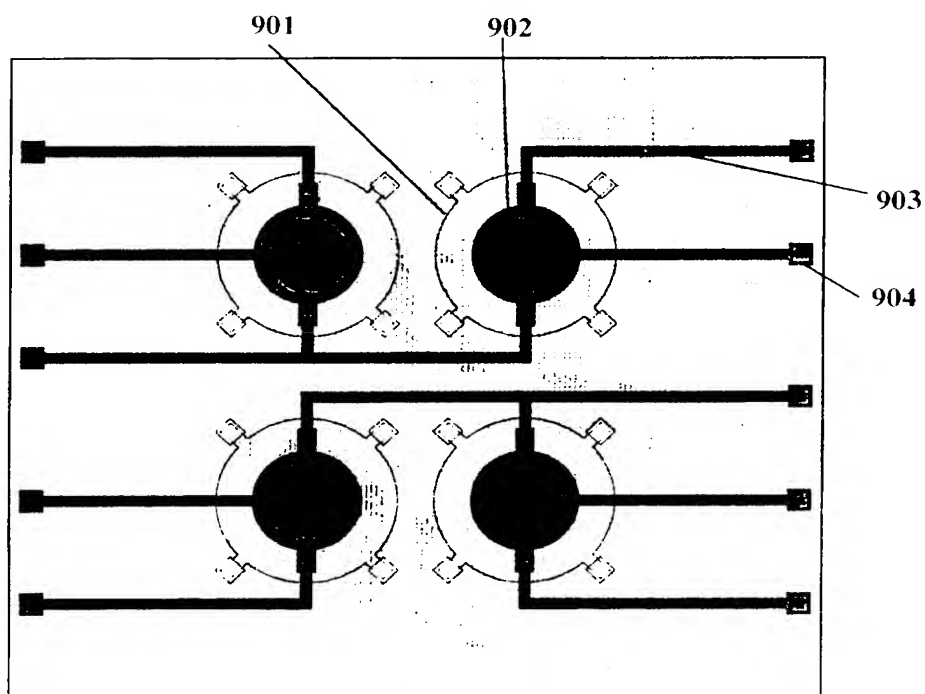
【도 8a】



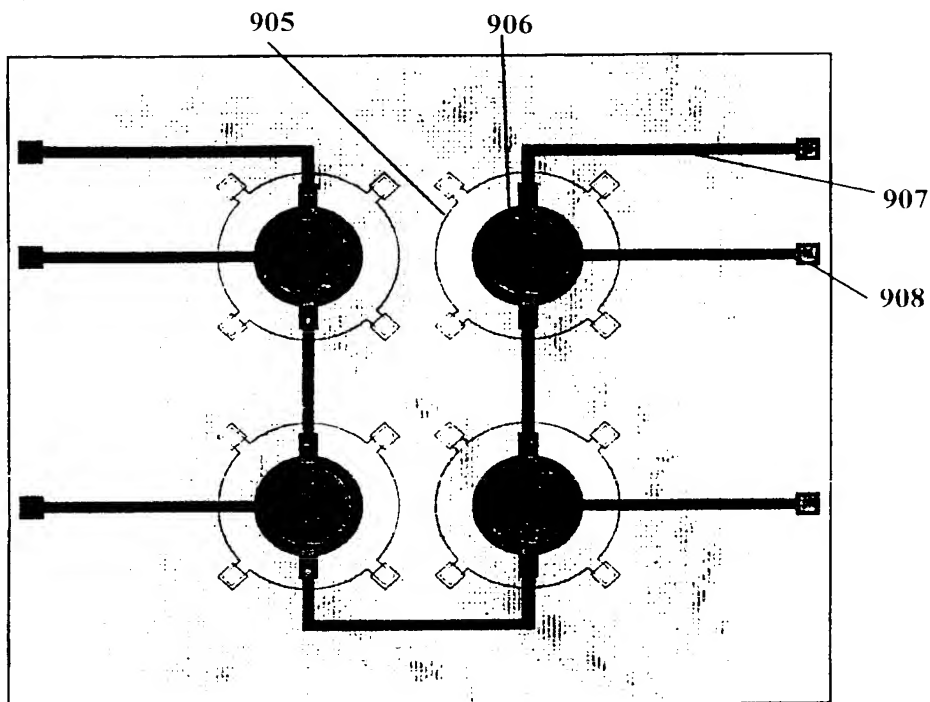
【도 8b】



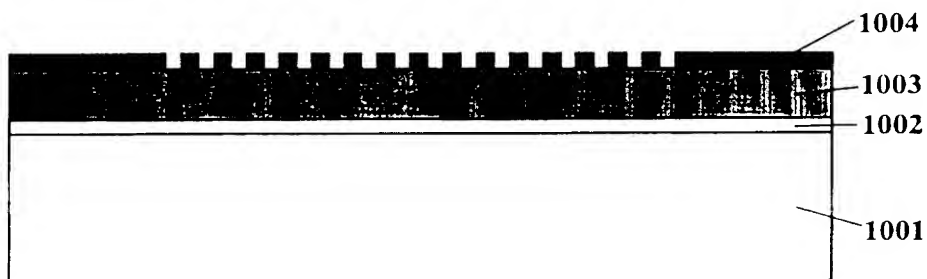
【도 9a】



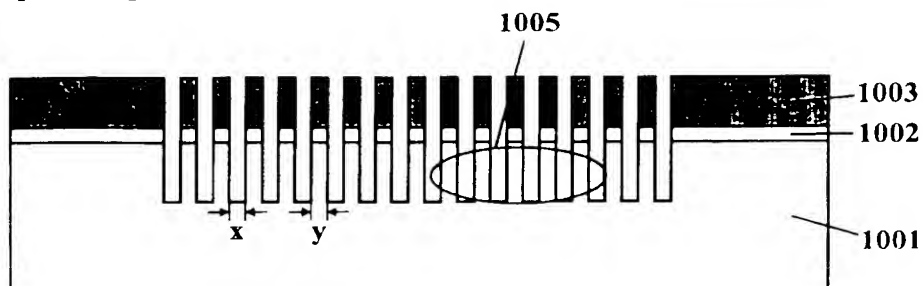
【도 9b】



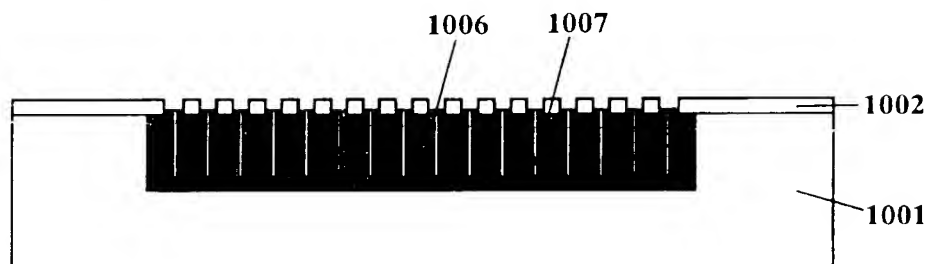
【도 10a】



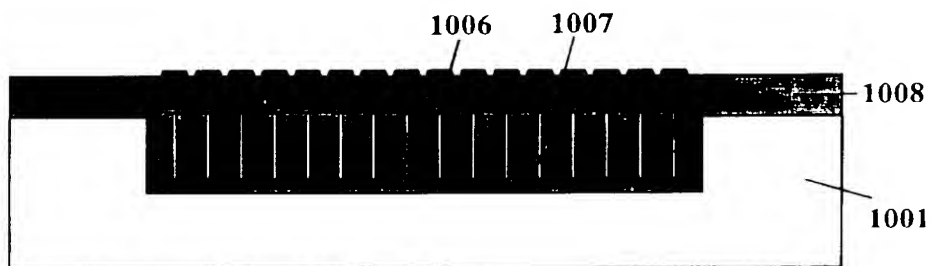
【도 10b】



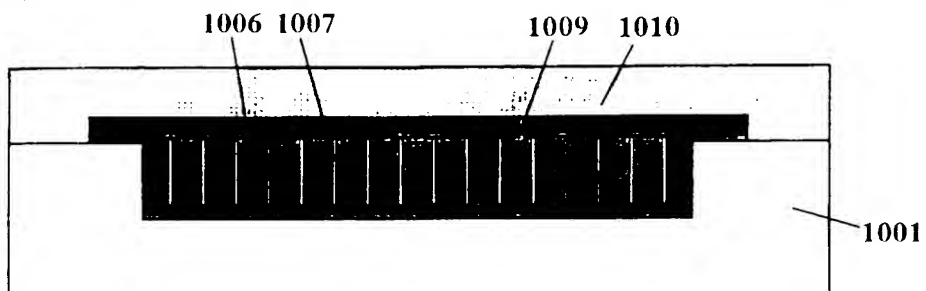
【도 10c】



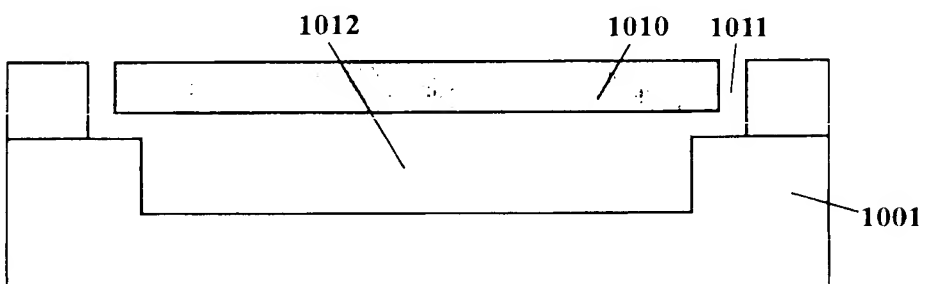
【도 10d】



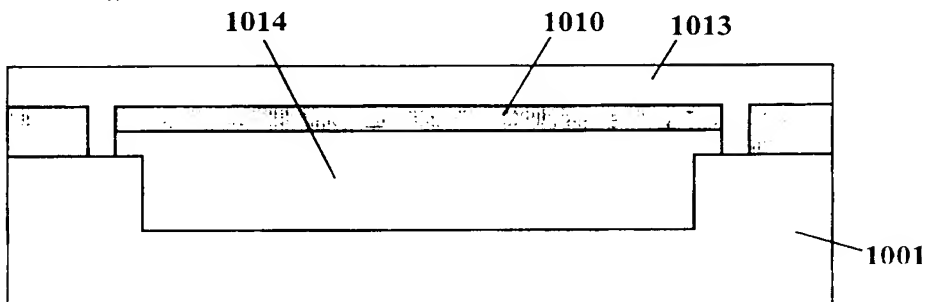
【도 10e】



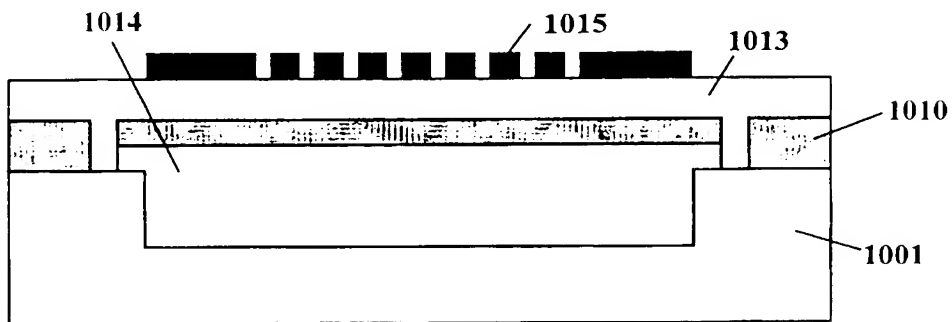
【도 10f】



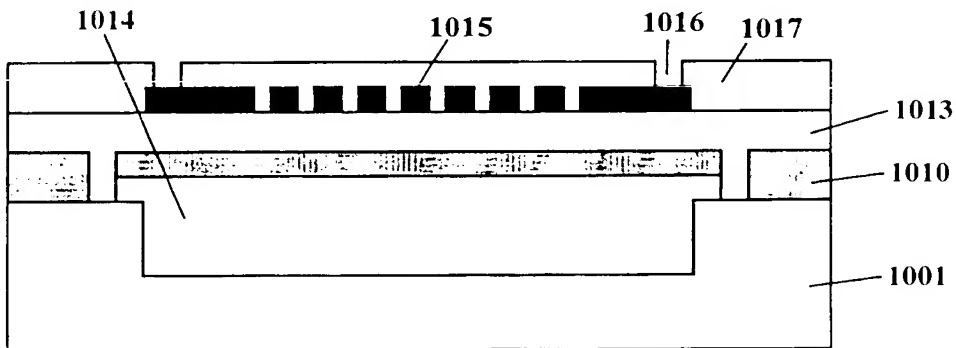
【도 10g】



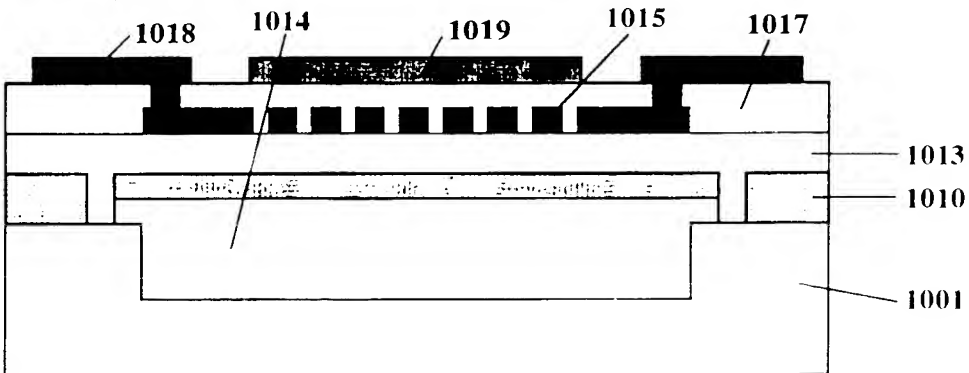
【도 10h】



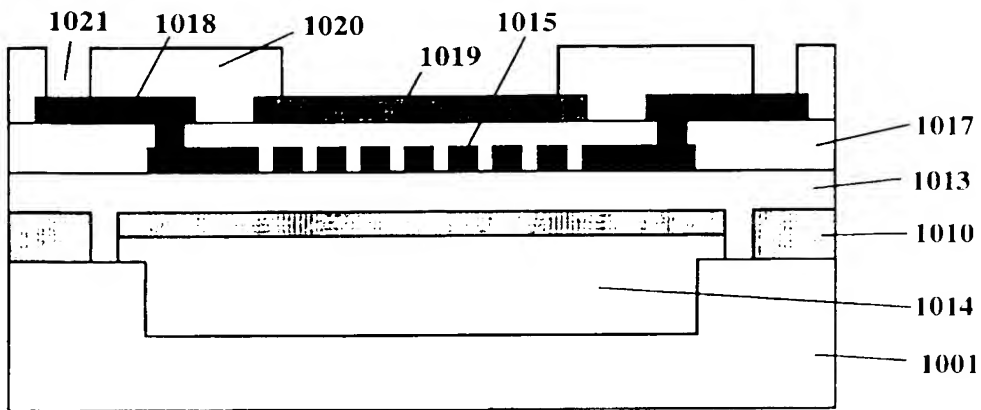
【도 10i】



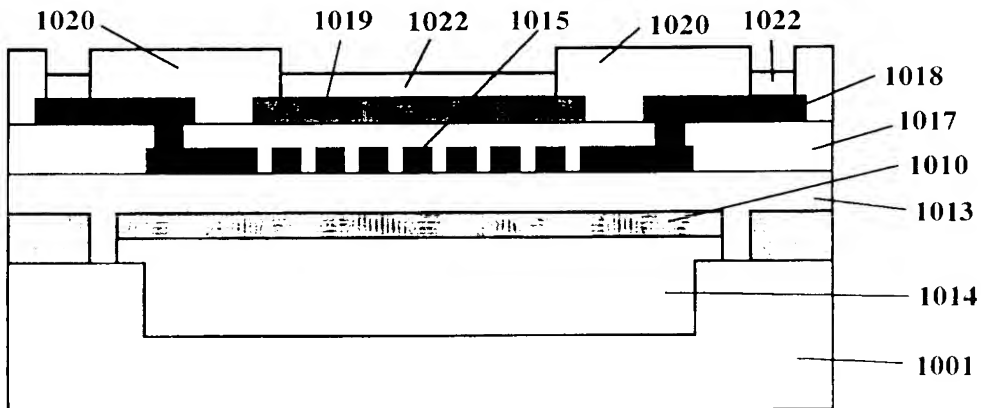
【도 10j】



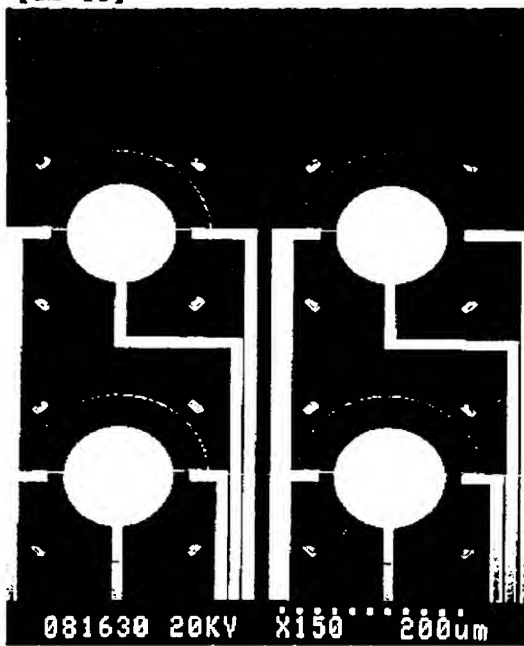
【도 10k】



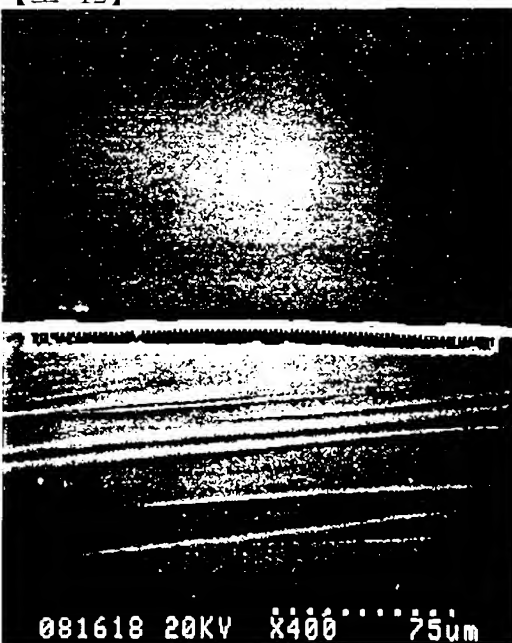
【도 10l】



【도 11】

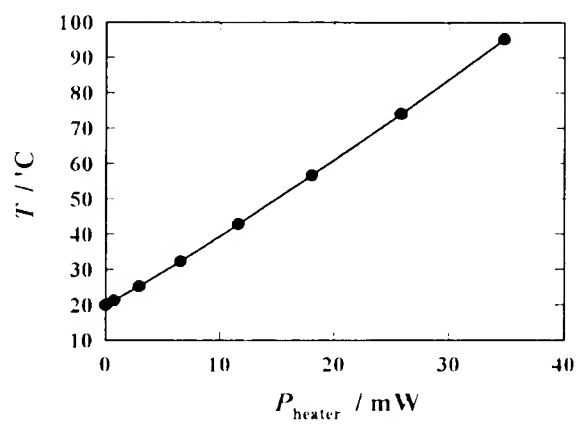


【도 12】

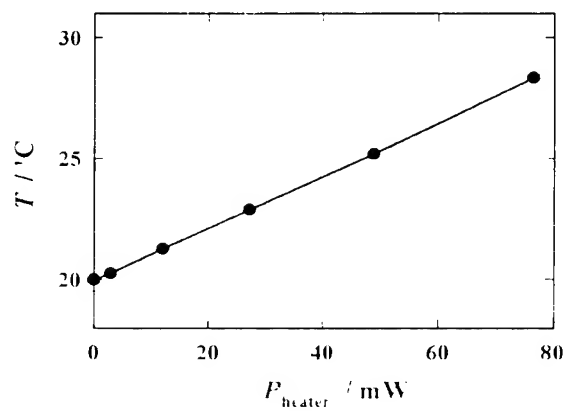




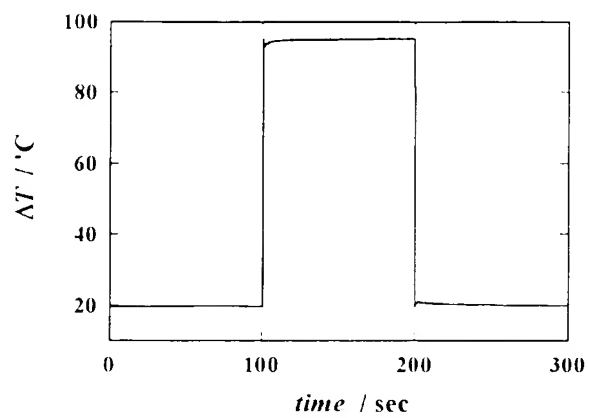
【도 13a】



【도 13b】



【도 14】



【도 15】

